

EPITAXIAL SILICON WAFER FREE FROM AUTODOPING AND BACKSIDE HALO**Patent number:** JP2003532612T**Publication date:** 2003-11-05**Inventor:****Applicant:****Classification:**

- international: C23C16/02; C23C16/458; C30B25/02; C30B25/12;
C23C16/02; C23C16/458; C30B25/02; C30B25/12;
(IPC1-7): C30B29/06; C23C16/458; C30B25/12;
H01L21/205

- european: C23C16/02D; C23C16/458D2B; C30B25/02; C30B25/12

Application number: JP20010582618T 20010423**Priority number(s):** US20000752222 20001229; WO2001US13046
20010423

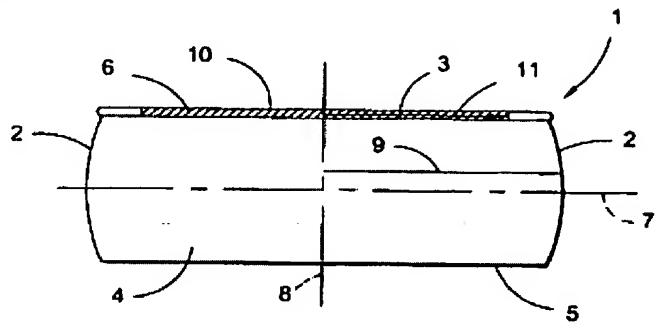
Report a data error here

Abstract not available for JP2003532612T

Abstract of corresponding document: **WO0186035**

A single crystal silicon wafer with a back surface free of an oxide seal and substantially free of a chemical vapor deposition process induced halo and an epitaxial silicon layer on the front surface, the epitaxial layer is characterized by an axially symmetric region extending radially outwardly from the central axis of the wafer toward the circumferential edge of the wafer having a substantially uniform resistivity, the radius of the axially symmetric region being at least about 80 % of the length of the radius of the wafer.

A single crystal silicon wafer with a back surface free of an oxide seal and substantially free of a chemical vapor deposition process induced halo and an epitaxial silicon layer on the front surface, the epitaxial layer is characterized by an axially symmetric region extending radially outwardly from the central axis of the wafer toward the circumferential edge of the wafer having a substantially uniform resistivity, the radius of the axially symmetric region being at least about 80 % of the length of the radius of the wafer.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is a single crystal silicon wafer. A front front face and a back front face almost perpendicular to a medial axis and a medial axis, They are a perimeter edge and the silicon wafer base material which has the radius which extends on the perimeter edge of a wafer from a medial axis. This back front face does not have an oxide seal, and does not have a chemical-vacuum-deposition process induction halo substantially. The silicon wafer base material with which this silicon wafer base material changes including P type or an N type dopant atom; it reaches. Resistivity substantially [uniform] It is an epitaxial silicon layer on the front front face of the silicon wafer base material characterized by the axial symmetry field which extends outward in radial on the perimeter edge from a medial axis. Epitaxial silicon layer of which the radius of a silicon wafer base material is [the radius of this axial symmetry field] about 80% at least, and this epitaxial silicon layer consists including P type or an N type dopant atom;
The single crystal silicon wafer which **** and changes.

[Claim 2] The single crystal silicon wafer according to claim 1 with which a front front face and a back front face have a specular gloss.

[Claim 3] The single crystal silicon wafer according to claim 1 from which the resistivity of an axial symmetry field changes at less than about 10%.

[Claim 4] The single crystal silicon wafer according to claim 1 from which the resistivity of an axial symmetry field changes at less than about 5%.

[Claim 5] The single crystal silicon wafer according to claim 1 from which the resistivity of an axial symmetry field changes at less than about 2%.

[Claim 6] The single crystal silicon wafer of the radius of a silicon wafer base material according to claim 1 whose radius of an axial symmetry field is about 85% at least.

[Claim 7] The single crystal silicon wafer of the radius of a silicon wafer base material according to claim 1 whose radius of an axial symmetry field is about 90% at least.

[Claim 8] The single crystal silicon wafer of the radius of a silicon wafer base material according to claim 1 whose radius of an axial symmetry field is about 95% at least.

[Claim 9] The single crystal silicon wafer according to claim 1 whose radius of an axial symmetry field is about 100% of a radius of a silicon wafer base material.

[Claim 10] The single crystal silicon wafer according to claim 1 whose radius of a silicon wafer base material is about 50mm at least.

[Claim 11] The single crystal silicon wafer according to claim 1 whose radius of a silicon wafer base material is about 75mm at least.

[Claim 12] The single crystal silicon wafer according to claim 1 whose radius of a silicon wafer base material is about 100mm at least.

[Claim 13] The single crystal silicon wafer according to claim 1 whose radius of a silicon wafer base material is about 150mm at least.

[Claim 14] The single crystal silicon wafer according to claim 1 which is the thickness whose epitaxial silicon layer is about 0.1 micrometers - about 200 micrometers.

[Claim 15] The single crystal silicon wafer according to claim 1 which is the thickness whose epitaxial silicon layer is about 1 micrometer - about 100 micrometers.

[Claim 16] The single crystal silicon wafer according to claim 1 which is the thickness whose epitaxial silicon layer is about 2 micrometers - about 30 micrometers.

[Claim 17] The single crystal silicon wafer according to claim 1 which is the thickness whose epitaxial silicon layer is about 3 micrometers.

[Claim 18] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 0.5mm x 0.5mm nano topography which is less than about 1% of the thickness of an epitaxial silicon layer.

[Claim 19] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 0.5mm x 0.5mm nano topography which is less than about 0.7% of the thickness of an epitaxial silicon layer.

[Claim 20] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 0.5mm x 0.5mm nano topography which is less than about 0.3% of the thickness of an epitaxial silicon layer.

[Claim 21] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 2mm x 2mm nano topography which is less than about 1% of the thickness of an epitaxial silicon layer.

[Claim 22] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 2mm x 2mm nano topography which is less than about 0.7% of the thickness of an epitaxial silicon layer.

[Claim 23] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 2mm x 2mm nano topography which is less than about 0.3% of the thickness of an epitaxial silicon layer.

[Claim 24] The single crystal silicon wafer according to claim 14 with which an epitaxial silicon layer is characterized by the 10mm x 10mm nano topography which is less than about 3% of the thickness of an epitaxial silicon layer.

[Claim 25] The single crystal silicon wafer according to claim 17 with which an epitaxial silicon layer is characterized by less than about 60nm 2mm x 2mm nano topography.

[Claim 26] The single crystal silicon wafer according to claim 17 with which an epitaxial silicon layer is characterized by less than about 40nm 2mm x 2mm nano topography.

[Claim 27] The single crystal silicon wafer according to claim 17 with which an epitaxial silicon layer is characterized by less than about 20nm 2mm x 2mm nano topography.

[Claim 28] The single crystal silicon wafer according to claim 17 with which an epitaxial silicon layer is characterized by less than about 10nm 2mm x 2mm nano topography.

[Claim 29] The single crystal silicon wafer according to claim 1 with which a silicon wafer base material and an epitaxial silicon layer have the electrical resistivity of about 100-ohmcm - about 0.005-ohmcm.

[Claim 30] The single crystal silicon wafer according to claim 1 which a silicon wafer base material has the electrical resistivity of about 0.01-ohmcm - about 0.03-ohmcm, and has the electrical resistivity whose epitaxial silicon layer is about 1-ohmcm - about 20-ohmcm.

[Claim 31] The single crystal silicon wafer according to claim 1 which a silicon wafer base material has the electrical resistivity of about 0.005-ohmcm - about 0.01-ohmcm, and has the electrical resistivity whose epitaxial silicon layer is about 1-ohmcm - about 20-ohmcm.

[Claim 32] A silicon wafer base material Longitudinal plane of symmetry parallel to the front front face and back front face between a before front face and a back front face;

The front surface layer which consists of a front front face including the field of the wafer which extends in the distance D1 of about 10 micrometers at least toward a longitudinal plane of symmetry; it reaches. Bulk layer which consists of a longitudinal plane of symmetry including the field of the wafer which extends in a front surface layer;

It has and grows into a pan and; silicon wafer base material Have ununiformity distribution of a crystal-lattice hole and it sets to this distribution. (a) A bulk layer has crystal-lattice hole concentration higher than a front surface layer. (b) crystal-lattice hole It has the concentration profile which has the peak concentration of a crystal-lattice hole a longitudinal plane of symmetry or near the longitudinal plane of symmetry, and concentration of (c) crystal-lattice hole is characterized by decreasing mostly toward the front front face of a wafer from the location of peak concentration.;

A single crystal silicon wafer according to claim 1.

[Claim 33] The single crystal silicon wafer according to claim 32 whose D1 is about 50 micrometers - about 100 micrometers.

[Claim 34] A silicon wafer base material Longitudinal plane of symmetry parallel to the front front face and back front face between a before front face and a back front face;

The front surface layer which consists of a front front face including the field of the wafer which extends in the distance D1 of about 10 micrometers at least toward a longitudinal plane of symmetry; it reaches. Bulk

layer which consists of a longitudinal plane of symmetry including the field of the wafer which extends in a front surface layer;

It has and grows into a pan and; silicon wafer base material Have ununiformity distribution of an oxygen sludge and it sets to this distribution. (a) A bulk layer has oxygen sludge concentration higher than a front surface layer. (b) oxygen sludge It has the concentration profile which has the peak concentration of an oxygen sludge a longitudinal plane of symmetry or near the longitudinal plane of symmetry, and concentration of (c) oxygen sludge is characterized by decreasing mostly toward the front front face of a wafer from the location of peak concentration.;

A single crystal silicon wafer according to claim 1.

[Claim 35] The single crystal silicon wafer according to claim 34 whose D1 is about 50 micrometers - about 100 micrometers.

[Claim 36] At a chemical-vacuum-deposition room, it is the approach of growing up an epitaxial silicon layer on a silicon wafer base material, and this silicon wafer base material has a front front face and a back front face, and this approach Substantially [the front front face of a silicon wafer base material, and a silicon wafer base material], all backward front faces are contacted in clarification gas, and an oxide layer is removed from the front front face and back front face of a silicon wafer base material.;

; Grow up an epitaxial silicon layer into the front front face of a silicon wafer base material, and reach, after removing an oxide layer. The number of the out-diffusion dopant atoms from the back front face of the silicon wafer base material which introduced purge gas into the chemical-vacuum-deposition room, and was built into the epitaxial silicon layer between growth of an epitaxial silicon layer is decreased.;

How to change including things.

[Claim 37] The approach according to claim 36 clarification gas is hydrogen or hydrogen / hydrochloric-acid mixture.

[Claim 38] purge gas -- nitrogen, an argon, hydrogen, and SiCl₄, SiHCl₃ and SiH₂ -- Cl₂ and SiH₃ -- the approach according to claim 36 chosen from Cl, SiH₄, and the group that consists of those mixture.

[Claim 39] The approach according to claim 36 of being the thickness whose epitaxial layer is about 0.1 micrometers - about 200 micrometers.

[Claim 40] The approach according to claim 36 of being the thickness whose epitaxial layer is about 1 micrometer - about 100 micrometers.

[Claim 41] The approach according to claim 36 of being the thickness whose epitaxial layer is about 2 micrometers - about 30 micrometers.

[Claim 42] The approach according to claim 36 of being the thickness whose epitaxial layer is about 3 micrometers.

[Claim 43] The approach according to claim 42 that an epitaxial layer is characterized by less than about 60nm 2mm x 2mm nano topography.

[Claim 44] The approach according to claim 42 that an epitaxial layer is characterized by less than about 40nm 2mm x 2mm nano topography.

[Claim 45] The approach according to claim 42 that an epitaxial layer is characterized by less than about 20nm 2mm x 2mm nano topography.

[Claim 46] The approach according to claim 42 that an epitaxial layer is characterized by less than about 10nm 2mm x 2mm nano topography.

[Claim 47] ; Heat at least the single crystal silicon wafer which has a silicon wafer base material and an epitaxial silicon layer, and changes in immersion temperature of about 1175 degrees C, and reach. The heated epitaxial wafer is cooled at about 10 degrees C/second in rate at least.;

The approach according to claim 36 of changing including things further.

[Claim 48] The method according to claim 47 of exposing a single crystal silicon wafer to the oxidizing atmosphere which changes between heating including O₂, the reducing atmosphere which changes including H₂, or the inert atmosphere which changes including Ar.

[Claim 49] The approach according to claim 47 a cooling rate is about 15 degrees C/second at least.

[Claim 50] The approach according to claim 47 the average cooling rate of a wafer is about 15 degrees C/second at least in case a wafer is cooled from immersion temperature to temperature lower about 150 degrees C than immersion temperature.

[Claim 51] The approach according to claim 47 a cooling rate is about 20 degrees C/second at least.

[Claim 52] The approach according to claim 47 the average cooling rate of a wafer is about 20 degrees C/second at least in case a wafer is cooled from immersion temperature to temperature lower about 150 degrees C than immersion temperature.

[Claim 53] The approach according to claim 47 a cooling rate is about 50 degrees C/second at least.

[Claim 54] The approach according to claim 47 the average cooling rate of a wafer is about 50 degrees C/second at least in case a wafer is cooled from immersion temperature to temperature lower about 150 degrees C than immersion temperature.

[Claim 55] It is equipment used for the chemical-vacuum-deposition process which grows up an epitaxial silicon layer on a silicon wafer base material. This equipment It is the susceptor made into the magnitude and the gestalt supporting a silicon wafer. Susceptor this susceptor has the front face which has the opening consistency of about 0.2 openings / cm² - about 4 openings / cm², this front face has the relation faced almost in parallel with a silicon wafer, a fluid flows through this front face, and the back front face and fluid of a silicon wafer enable it to contact;

Equipment which **** and changes.

[Claim 56] Equipment according to claim 55 the silicon wafer supported by the susceptor has the front face which has opening, and the relation which opened spacing.

[Claim 57] Equipment according to claim 55 which a silicon wafer supports with an annular-among susceptor's shelf.

[Claim 58] Equipment according to claim 55 which enables a lift pin to have a lift pinhole on the front face on which a susceptor has two or more openings, and to pass through a susceptor on it.

[Claim 59] Equipment according to claim 55 which has the diameter whose opening is about 0.1mm - about 3mm.

[Claim 60] Equipment according to claim 55 which has the diameter whose opening is about 0.1mm - about 1mm.

[Claim 61] Equipment according to claim 55 which has the diameter whose opening is about 0.5mm - about 1mm.

[Claim 62] Equipment according to claim 55 which has opened spacing whose opening is about 2mm - about 20mm.

[Claim 63] Equipment according to claim 55 which has opened spacing whose opening is about 6mm - about 15mm.

[Claim 64] Equipment according to claim 55 with which this front face has about 0.8 openings / cm² - about 1.75 openings / cm².

[Claim 65] Equipment according to claim 55 whose sum total percent of the opening field in this front face is about 0.5% - about 4%.

[Claim 66] Equipment according to claim 55 whose sum total percent of the opening field in this front face is about 1% - about 3%.

[Claim 67] Equipment according to claim 55 which puts a silicon wafer on the front face which has opening directly.

[Claim 68] It is equipment used for the epitaxial vacuum evaporation process which grows up an epitaxial layer on a silicon wafer base material, and this silicon wafer base material has a front front face and a back front face, and this equipment Room;

Wafer support device as for which supports a silicon wafer base material and the front front face of a silicon wafer base material and a silicon wafer base material make substantial contact in all backward front faces and a fluid possible;

Rotation means supporting a wafer support device and a silicon wafer base material;

Exoergic element;

The gas inlet which puts washing gas, source gas, and purge gas into equipment; it reaches. Gas outlet to which washing gas, source gas, and purge gas are taken out from equipment;

Equipment which **** and changes.

[Claim 69] Equipment according to claim 68 which has ***** further and changes.

[Claim 70] Equipment according to claim 68 with which a wafer support device is the susceptor which has the front face which has the opening consistency of about 0.5 openings / cm² - about 2 openings / cm², this front face has the relation faced almost in parallel with a silicon wafer, a fluid flows [this opening] through it, and all backward front faces and a fluid enable it to contact substantially [a silicon wafer].

[Claim 71] Equipment according to claim 70 the silicon wafer supported by the susceptor has the front face which has opening, and the relation which opened spacing.

[Claim 72] Equipment according to claim 70 which a silicon wafer supports with an annular-among susceptor's shelf.

[Claim 73] Equipment according to claim 70 which has a marginal ring surrounding the perimeter of a

susceptor further, and changes.

[Claim 74] Equipment according to claim 70 which has the diameter whose opening is about 0.1mm - about 3mm.

[Claim 75] Equipment according to claim 70 which has the diameter whose opening is about 0.1mm - about 1mm.

[Claim 76] Equipment according to claim 70 which has the diameter whose opening is about 0.5mm - about 1mm.

[Claim 77] Equipment according to claim 70 which has opened spacing whose opening is about 2mm - about 20mm.

[Claim 78] Equipment according to claim 70 which has opened spacing whose opening is about 6mm - about 15mm.

[Claim 79] Equipment according to claim 70 with which this front face has about 0.8 openings / cm² - about 1.75mm opening / cm².

[Claim 80] Equipment according to claim 70 whose sum total percent of the opening field of this front face is about 0.5% - about 4%.

[Claim 81] Equipment according to claim 70 whose sum total percent of the opening field of this front face is about 1% - about 3%.

[Claim 82] Equipment according to claim 68 which a wafer support device is the susceptor which has at least three pins which extend from a susceptor, and a silicon wafer supports on this pin.

[Claim 83] Equipment according to claim 82 which has a marginal ring surrounding the perimeter of a susceptor further, and changes.

[Claim 84] Equipment according to claim 68 with which a wafer support device has at least three pins, and changes.

[Claim 85] Equipment according to claim 84 which has a marginal ring surrounding the perimeter of a silicon wafer further, and changes.

[Claim 86] Equipment according to claim 68 whose wafer support device is a ring support.

[Claim 87] Equipment according to claim 86 with which a ring support has the outside annular part which adjusts a crystal slip, and changes between an annular shelf while supporting a silicon wafer, and epitaxial vacuum evaporation.

[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

(Technical field)

Generally this invention relates to manufacture of the semiconductor material base material used for manufacture of electronic parts, especially a silicon wafer. Especially this invention relates to the single crystal silicon wafer which has the epitaxial silicon layer which has a back front face without the autodoping and the halo which decreased, and changes.

[0002]

(Background technique)

or [using a dopant for polycrystalline silicon first in manufacture of the single crystal silicon grown up with the Czochralski method] -- or it is not used but melting is carried out by the quartz crucible. After polycrystalline silicon fuses and temperature reaches a balance, seed crystal is dipped in melt, next it pulls up, rotating a quartz crucible, and a single-crystal-silicon ingot is formed. Next, the completion silicon wafer which has the front front face of the specular gloss is obtained, slicing a single-crystal-silicon ingot to each silicon wafer, and applying them to some down stream processing which includes wrapping/grinding, etching, and polish. In addition to polish on the front face of front, many device manufacturers also need the front face after polish of the specular gloss (generally such a wafer is called "double-sided polish"). In order to manufacture the completion wafer for device manufacture, generally the film of silicon with a thickness of about 0.1 micrometers - about 200 micrometers can be formed in the front front face of a wafer, being able to cover a wafer over a chemical-vacuum-deposition process like an epitaxial vacuum evaporation process, and a device can be directly manufactured on an epitaxial layer by it. The conventional epitaxial vacuum evaporation process is indicated by U.S. Pat. No. 5904769 and No. 5769942.

[0003]

Generally an epitaxial vacuum evaporation process changes including two phases. In a first stage story, after load a vacuum evaporation room with silicon and take down on a susceptor, the front front face of a wafer be expose to clarification gas like hydrogen or hydrogen / hydrochloric acid mixture at about 1150 degrees C, "preliminary printing" be carry out, the front front face of a silicon wafer be make into clarification, the natural oxide (natural oxidation object) of this front face be remove, and an epitaxial silicon layer make it possible continuous on a front front face, and to grow up to be homogeneity. Expose the front front face of a wafer to a source of steamy silicon like a silane or trichlorosilane by about 800 degrees C or more than it, a front front face is made to vapor-deposit the epitaxial layer of silicon, and it is made to grow up in the second stage story of an epitaxial vacuum evaporation process. In the phase of both epitaxial vacuum evaporation processes, a silicon wafer is maintained by the susceptor in an epitaxial vacuum evaporation room, and between these processes, generally this susceptor rotates and ensures uniform growth of an epitaxial layer. Generally a susceptor consists of high grade graphite, and decreases the amount of a contamination like the iron which has a wrap silicon carbide layer completely and is emitted to a surrounding environment from graphite between elevated-temperature processes in graphite. The general susceptor used in an epitaxial growth process is known for the time being in the fields, and is indicated by U.S. Pat. No. 4322592, No. 4496609, No. 5200157, and No. 5242501.

[0004]

while taking down a wafer on a susceptor between loading processes, gas catches between the conventional susceptor and a wafer -- having -- consequently, a wafer -- "-- in the location which is not floated, " carried out and meant, it slides in on a susceptor (for example, it has come out from the hollow "pocket" partially). This may produce uneven epitaxial growth. Furthermore, little clarification gas, for example, hydrogen, can

ooze and (effuse) carry out between preliminary printing phases to the perimeter of the edge of a wafer and the wafer between susceptor, and the tooth space between a wafer and a susceptor. When carrying out the seal of the back front face of a wafer in an oxide layer (generally thickness of about 3000Å - about 5500Å), exudation hydrogen does not fully react with an oxide layer, a pinhole is formed in a layer, or an oxide layer is removed completely. A back front face is a front face for which many device manufacturers ask and which was etched or (chemical engraving) ground. When it has only a thin natural oxide layer (generally about 15Å - about 30Å), Generally hydrogen or hydrogen / hydrochloric-acid mixture removes completely the natural oxide layer near the rim on the front face of back which is the location where clarification gas exudes around a wafer. Pinhole opening is formed in a natural oxide layer, and while etching moves inside from the rim of a wafer, a silicon front face is exposed. Generally these pinholes are formed in the ring domain inside the perimeter edge of a wafer.

[0005]

Between epitaxial vacuum evaporations processes, the little source gas of silicon content may also ooze out to the tooth space between the surroundings of the edge of a wafer and the wafer between susceptor, and a wafer and a susceptor. When the oxide seal of the back front face of a wafer is carried out, the nucleation of a silicon coat and growth are controlled substantially. The smooth continuation layer of silicon grows in the field to which the natural oxide layer was completely etched by clarification gas. However, the pinhole of a natural oxide layer exposes a silicon wafer, makes the source gas of silicon content adhere to the silicon in a pinhole, and makes an ununiformity silicon coat form in an after [a wafer] front face between epitaxial vacuum evaporations in the field to which clarification gas has not removed the natural oxide layer completely. Therefore, the pinhole formed between preliminary printing phases at the natural oxide layer may produce growth of the discontinuity silicon which blooms cloudy and is visible to a back front face under bright lighting about the wafer which has etching which has only a natural oxide layer, or a front face after polish. it can set on the back front face of a wafer -- this -- it blooms cloudy (mist) or "the halo of silicon with a diameter [of about 0.5 micrometers] and a height of about 10nm" is small -- it swells (growths) or consists of upheaval (bumps). The swelling of these silicon scatters light and produces cloudiness, and since the machine image and optical pyrometry system which inspect the back front face of a wafer between device processings are barred, it is thought that it is not desirable. A halo can be especially seen with the naked eye with the laser sir FISU scanner in the bottom of a bright light, and the after [the specular gloss] front face of a double-sided polish wafer (refer to drawing 12 A). On the other hand, the comparatively coarse back front face of a single surface polish wafer produces diffusion dispersion of significant extent of the reflected light, and decreases generating of a halo.

[0006]

Other problems which meet between elevated-temperature growth of an epitaxial silicon layer are the out-diffusion of the boron in the back front face of a silicon wafer in the case of elevated-temperature preliminary printing and an epitaxial growth step, or a dopant atom like phosphorus. In the case of the conventional susceptor, the dopant atom which carries out out-diffusion can exude toward the front front face of a wafer between the edge of a wafer, and a susceptor from a back front face. It is included in the vacuum evaporations layer which is growing, and pollutes, and these dopant atoms decrease the resistivity homogeneity near the edge of a wafer. When the oxide seal of the back front face of a silicon wafer is carried out, out-diffusion of the dopant atom is not substantially carried out from a back front face. However, the silicon wafer which has a front face after etching or polish receives the out-diffusion of the dopant atom from the back front face between epitaxial vacuum evaporations processes, and produces the autodoping on the front face of front which is not desirable by it.

[0007]

Some proposals are made about the attempt which removes a back surface halo and autodoping. In order to remove a back surface halo, Nakamura (Japan non-examined patent application No. 16844 [11 to]) is indicating performing the hydrogen fluoride strip on the front face of back, and/or an elevated-temperature hydrogen annealing process, even ten days before loading an epitaxial reactor with a wafer. This approach increases down stream processing and makes the complexity and cost of a vacuum evaporations process increase considerably. Deaton and others (U.S. Pat. No. 5960555) is indicating the approach of preventing the source gas of front surface reactivity exuding on an after [a wafer] front face, by using the susceptor which has a built-in channel along the edge of the wafer which guides purge gas flow to the edge of a wafer. This approach needs the substantial alteration of a current epitaxial vacuum evaporations room, the purge gas flow which increased is used for it, by this, purge gas leaks out on a front front face, it mixes with source gas, and it may collapse the obtained epitaxial coat.

[0008]

In order that Hoshi (Japan non-examined patent application No. 87250 [11 to]) may decrease autodoping, it carries out vacuum suction on the edge of a susceptor, discharges the fluorine dopant of the edge of a susceptor, and is indicating preventing autodoping. This approach affects the homogeneity of the edge of a wafer, and thickness, and needs to add a substantial alteration to a current epitaxial vacuum evaporation system. It has a slot on the edge of a susceptor, the dopant atom which carried out out-diffusion by it goes downward through a slot, and Nakamura (Japan patent application No. 223545 [ten to]) is indicating the alteration susceptor included in an exhaust pipe (exhaust). This approach also makes most quantity of vacuum evaporation gas discharge down the back front face of a wafer, and may produce the aforementioned halo operation, the early corrosion of a discharge system, and the problem of safety.

[0009]

Therefore, the approach of controlling the autodoping problem relevant to the halo operation in the back front face of a silicon wafer between current and an epitaxial vacuum evaporation process and the dopant out-diffusion from a back front face is not satisfactory. therefore, in semi-conductor industry, the autodoping which is not desirable as for the halo operation between epitaxial vacuum evaporation processes and the front front face of a silicon wafer is solved -- easy and the cost price -- the efficient approach is searched for.

[0010]

(Indication of invention)

Therefore, the purpose of this invention is offering the single crystal silicon wafer which has the epitaxial front face which has not been influenced in essence by (a) gaseous-phase autodoping, and has a back front face without the (b) halo.

[0011]

Therefore, if it says simply, this invention relates to the single crystal silicon wafer which has the radius which extends on the perimeter edge of a wafer, and changes from a front front face and a back front face almost perpendicular to a medial axis and a medial axis, a perimeter edge, and a medial axis. The back front face of a wafer does not have an oxide seal, and does not have substantially the halo induced by the chemical-vacuum-deposition process. Furthermore, a silicon wafer base material changes including P type or an N type dopant atom. A single crystal silicon wafer has further an epitaxial silicon layer in the front front face of a silicon wafer base material, and changes. The resistivity to which an epitaxial silicon layer extends outward in radial toward a perimeter edge from a medial axis is substantially characterized by the uniform axial symmetry field. The radius of an axial symmetry field is about 80%, even if there are few radii of a base material. An epitaxial silicon layer also changes including P type or an N type dopant atom.

[0012]

This invention relates also to the approach of growing up an epitaxial silicon layer on a silicon wafer base material, at a chemical-vacuum-deposition room. Substantially [the front front face of a silicon wafer base material, and a silicon wafer base material], this approach contacts all backward front faces in clarification gas, and changes including removing an oxide layer from the front front face and back front face of a silicon wafer base material. An epitaxial layer is grown up into the front front face of a silicon wafer base material after removing an oxide layer. Purge gas is introduced into a chemical-vacuum-deposition room between growth of an epitaxial layer, and the number of the out-diffusion dopant atoms from the back front face of the silicon wafer base material built into an epitaxial silicon layer is decreased.

[0013]

This invention relates also to the equipment which supports a silicon wafer, while growing up an epitaxial silicon layer according to a chemical-vacuum-deposition process. This equipment has the susceptor made into the magnitude and the gestalt which support a silicon wafer on a susceptor, and changes. A susceptor has the front face which has the opening consistency of about 0.2 openings / cm² which has the relation which faces a silicon wafer and **** parallel - about 4 openings / cm². As for opening, a fluid passes through this front face, it flows, and the back front face and fluid of a silicon wafer enable it to contact.

[0014]

This invention relates also to the equipment used for the epitaxial vacuum evaporation process which grows up an epitaxial silicon layer on the silicon wafer base material which has a front front face and a back front face. This equipment has a rotation means supporting **, the wafer support device supporting a silicon wafer base material, a wafer support device, and a silicon wafer base material, and changes. A wafer support device enables a fluid to contact all backward front faces substantially [the front front face of a silicon wafer base material, and a silicon wafer base material]. This equipment has further the gas inlet which puts

an exoergic element, clarification gas, source gas, and purge gas into equipment, and the gas outlet to which the aforementioned gas is taken out from equipment, and changes.

[0015]

The part of other descriptions [purposes and descriptions] of this invention is clear, and a part is shown below.

[0016]

Detailed explanation of a desirable embodiment The single crystal silicon wafer which has a back front face without the front front face which made the epitaxial silicon layer which does not have autodoping substantially vapor-deposit, an oxide seal, and a halo, and changes by this invention was developed.

[0017]

A. Silicon wafer base material As for the start ingredient of this invention, it is desirable that it is the single crystal silicon wafer base material sliced from the single crystal ingot grown up by the general changing method of a CHOKURARU skiing crystal growth method. When the wafer base material which does not contain oxygen is needed, it is desirable to slice a start ingredient from the single crystal ingot grown up by the general changing method of a float-zone (float-zone) crystal growth method. The approach of growth of a silicon ingot, common silicon slicing, wrapping, etching, and polish is known for the time being in the fields, for example, is F. Shimura Semiconductor Silicon Crystal Technology (Academic Press, 1989) and Silicon Chemical It is indicated by Etching (J. the volume on Grabmaier, Springer-Verlang, New York, 1982).

[0018]

When drawing 1 is referred to, the single crystal silicon wafer 1 has the wafer base material 4 with desirable having the radius 9 which extends on the perimeter edge 2, and consists of the perimeter edge joined to the virtual longitudinal plane of symmetry 7, the front front face 3, and the back front face 5 between the front front face 3 and the back front face 5 almost perpendicular to a medial axis 8 and this medial axis, a front front face, and a back front face, and a medial axis. A back front face does not have an oxide seal. Since a silicon wafer generally has some all thickness change (TTV), distortion, and curves, the central point between all the points on a front front face and all the points on a back front face should be strictly noticed about not becoming a flat surface. However, in fact, since there are generally very little all thickness change, distortion, and deflection, it can be said very in approximation that the central point becomes a front front face and a back front face mostly in an equidistant virtual longitudinal plane of symmetry.

[0019]

A wafer is made to contain one kind or the dopant beyond it, and the property of various requests can be given to a wafer. For example, a wafer can be a P type wafer (namely, the element from the 3rd group of the periodic table, for example, boron, aluminum, a gallium and an indium, the wafer most generally doped by boron), or an N type wafer (namely, the element from the 5th group of the periodic table, for example, phosphorus, an arsenic, antimony, the wafer most generally doped by phosphorus). As for a wafer, it is desirable that it is the P type wafer which has the resistivity of about 100-ohmcm - about 0.005-ohmcm. About the silicon which doped boron, the aforementioned resistivity value corresponds to the dopant concentration of abbreviation 2.7×10^{17} atom / cm³ - abbreviation 2×10^{19} atom / cm³, respectively. In an especially desirable embodiment, a wafer is a P type wafer (generally it is P -- it is called silicon) which has the resistivity of about 20-ohmcm - about 1-ohmcm. In other especially desirable embodiments, a wafer is a P type wafer (generally called P++-silicon) which has the resistivity of about 0.01-ohmcm - 0.005-ohmcm. In other especially desirable embodiments, a wafer is a P type wafer (generally called P+-silicon) which has the resistivity of about 0.03-ohmcm - 0.01-ohmcm.

[0020]

The wafer manufactured using the Czochralski method general -- about -- about [5×10^{17} atom / cm³ -] -- 9×10^{17} atom / cm³ (in other words) About 10 ppm - about 18 ppm (namely, about ten - about 18 oxygen atoms per all 1,000,000 atoms in a wafer) (ASTM standard F-121-80) most generally It has the oxygen density of abbreviation 6×10^{17} atom / cm³ - abbreviation 8.5×10^{17} atom / cm³ (namely, about 12 ppm - about 17 ppm).

[0021]

B. Epitaxial silicon layer The single crystal silicon wafer manufactured by this invention has the front face which made the epitaxial silicon layer vapor-deposit, and changes. The whole wafer may be made to vapor-deposit an epitaxial layer, or some wafers may be made to vapor-deposit it. if drawing 1 is referred to -- an epitaxial layer 10 -- the front front face 3 of a wafer -- it is preferably vapor-deposited by the front surface 3 whole of a wafer. It is dependent on the use which a wafer means whether it is desirable to make other parts

of a wafer vapor-deposit an epitaxial layer. In most applications, existence of an epitaxial layer or un-existing in other parts of a wafer is not limited.

[0022]

The single crystal silicon wafer sliced from the ingot manufactured with the Czochralski method has a crystal origin pit (COP) on those front faces in many cases. However, it is required that the wafer used for manufacture of an integrated circuit should generally have the front face which does not have COP in essence. The wafer which has the front face which does not have COP in essence can be manufactured by making an epitaxial silicon layer vapor-deposit on the surface of a wafer. Such an epitaxial layer closes COP and, finally forms a smooth wafer front face. This is the subject of the latest chemical research. Schmolke et al. and The Electrochem. Soc. Proc. the 98 to 1st volume, and p.855(1998); -- Hirofumi et al. and Jpn. J. Appl. Phys., the 36th volume, and p.3565 (1997) reference. Generally, COP on the front face of a wafer is removed by using the thickness of about 0.1-micrometer epitaxial silicon layer at least. Preferably, an epitaxial layer has the thickness of about 0.1 micrometers or more and less than about 2 micrometers. An epitaxial layer has most preferably about 0.25 micrometers - about 1 micrometer of thickness of about 0.5 micrometers - about 1 micrometer.

[0023]

removing COP -- in addition, when using an epitaxial layer for another purpose, an epitaxial bed depth thicker than the desirable thickness used for such a purpose removing COP may be needed For example, in order to give electrical characteristics to a wafer front face, when using an epitaxial layer in addition to removing COP, the thickness of an epitaxial layer is about 200 micrometers of maxes. About 1 micrometer - about 100 micrometers of thickness of the epitaxial layer generally vapor-deposited in order to give electrical characteristics are about 2 micrometers - about 30 micrometers preferably. It is more desirable to acquire an additional request operation by the minimum thickness (for example, about 3 micrometers).

[0024]

As for the thickness of an epitaxial layer, it is desirable that it is uniform. As for the homogeneity of the thickness in all the front faces of a wafer, it is desirable that it is less than about 1% - less than about 5% of target thickness. Therefore, when target thickness is about 3 micrometers, as for change of the thickness on all the front faces of a wafer, it is desirable that it is less than about 30nm - less than about 150nm. Change of the thickness on all the front faces of a wafer is less than about 30nm - less than about 100nm more preferably. The thickness of an epitaxial layer is Fourier. A Transform infrared spectroscopy measuring method (FTIR) is used, and, generally it is measured in some points on the front face of a wafer. For example, FTIR is used and the thickness of an epitaxial layer is measured by four (for example, point which separated about 90 degrees from the perimeter edge by 5-10mm to the inside sense) near the perimeter edge near the core of a wafer.

[0025]

The second approach by which the wafer of this invention is characterized is change (change of the thickness in a local surface field) of the height of the front face of the wafer generally called "nano topography" (for example, a wafer front face can be divided into the virtual square of 0.5mm x 0.5mm, 2mm x 2mm, or 10mm x 10mm). Although nano topography is based mainly on wrapping, etching, and wafer processing like polish, change of the thickness of an epitaxial layer is also the serious cause. While the critical description size of photolithography (photolithography) continues decreasing, a silicon wafer must meet the severer nano topography criteria (the critical description size of the latest technique is about 0.15 micrometers - about 0.18 micrometers now). The most depends change of the nano topography of an epitaxial silicon layer on the heat gradient in the wafer produced by the uneven heating of the wafer between epitaxial vacuum evaporation processes. The serious cause of uneven heating is a comparatively large lift pinhole in a susceptor, and this pinhole makes different temperature from a surrounding ingredient heat the field of the wafer immediately on a lift pinhole. The ingredient (for example, graphite, silicon carbide, and a quartz) which constitutes a lift pin also makes different temperature heat the field of the upper wafer of a lift pin. A temperature gradient grows up an epitaxial layer at a different rate, and produces local thickness change (for example, 40nm, 60nm, or more than it) generally known as a pin mark.

[0026]

one operative condition of this invention -- like -- setting -- the nano topography of a 0.5mm x 0.5mm field - - desirable -- less than about 1% of the target thickness of an epitaxial layer -- more -- desirable -- this less than about 0.7% of target thickness -- further -- desirable -- this -- it is less than about 0.3% of target thickness. Therefore, about a 3-micrometer epitaxial layer, the nano topography of a 0.5mm x 0.5mm field is desirable, and less than about 20nm less than about 30nm is less than about 10nm still more preferably

more preferably. other operative conditions of this invention -- like -- setting -- the nano topography of a 2mm x 2mm field -- desirable -- less than about 1% of the target thickness of an epitaxial layer -- more -- desirable -- this less than about 0.7% of target thickness -- further -- desirable -- this -- it is less than about 0.3% of target thickness. In other embodiments, the nano topography of a 10mm x 10mm field is less than about 3% of the target thickness of an epitaxial layer preferably.

[0027]

C. Epitaxial growth process The single surface polish wafer which has a front face as mentioned above after etching, and a double-sided polish wafer have a natural oxide layer on a front front face and a back front face. According to this invention, an epitaxial vacuum evaporation process includes the front front face of a wafer, and removing a natural oxide layer from all backward front faces substantially, before vapor-depositing an epitaxial layer on a front front face. In the ambient atmosphere (most preferably oxidant non-*****) which does not contain an oxidant in essence, as for removal of a silicon oxide layer, it is desirable to carry out by heating the front face of a wafer until a silicon oxide layer is removed from a front face. an especially desirable operative condition -- like -- setting -- the front face of a wafer -- at least -- the temperature of about 1100 degrees C -- it heats in temperature of about 1150 degrees C at least more preferably. As for this heating, it is desirable to carry out being exposed to all the forward front faces of a wafer and the clarification gas which changes all backward front faces, including noble gas (for example, helium, Ne, or Ar), H₂, HF gas, HCl gas, or those combination substantially. Clarification gas changes more preferably including the combination of H₂, or H₂ and HCl. Clarification gas essentially consists of H₂ most preferably. Although the ambient atmosphere containing N₂ may be used, since the nitride which bars the epitaxial vacuum evaporation to the front face performed to a degree is formed on a front face, such an ambient atmosphere should be noticed about it not being so desirable. the flow rate of clarification gas -- at least -- for about 10 seconds -- crossing -- general -- about -- about [a part for 1L/-, and] -- a part for 50L/-- it is -- desirable -- about -- about [a part for 10L/-, and] -- it is a part for 20L/-.

[0028]

or [that exposure of the after / a wafer / front face to the clarification gas which removes a natural oxide layer decreases substantially the halo operation produced from the pinhole of a natural oxide layer] -- or it removes. In other words, before growing up an epitaxial layer, the after [a wafer] front face a halo is not in sight under a bright light of wafer checking or a laser SAFI scanner with the naked eye is produced by removing natural oxide.

[0029]

It is desirable to heat a wafer at the rate which does not produce a slip before removal of a natural oxide layer or in the meantime. Especially, when heating of a wafer is too quick, a heat gradient arises and this heat gradient produces sufficient internal stress to raise the various front faces in a wafer to mutual (namely, slip). Although the rapid heating of the wafer in about 750 degrees C - less than about 800 degrees C is not the serious cause of a slip, the rapid heating of an about 1150-1200 degrees C [about 800-900 degrees C to] wafer may produce a slip. It turned out that especially the wafer (for example, wafer which is doped by boron and has the resistivity of about 1-ohmcm - about 100-ohmcm) doped slightly tends to receive a slip. In order to avoid this problem, it is desirable to heat a wafer from about 800-900 degrees C to silicon oxide removal temperature with the mean velocity of about 20 degrees C/second - about 35 degrees C/second.

[0030]

After removing a natural oxide layer from the front front face and back front face of a wafer, the flow of clarification gas is stopped and about 600 degrees C - about 1200 degrees C of about 1100 degrees C of temperature of a reaction chamber are preferably adjusted at about 1150 degrees C at least at least more preferably. Next, the front front face of a wafer is contacted in the source gas of silicon content, and a front front face is made to vapor-deposit an epitaxial layer. It has been less than about 10 seconds since the natural oxide layer was most preferably removed less than about 20 seconds after removing natural oxide and removing a natural oxide layer more preferably less than 30 seconds, and a front front face is contacted in source gas. After removing a silicon oxide layer, it waits to start silicon vacuum evaporation for about 10 seconds, the temperature of a wafer is stabilized, and it is made homogeneity.

[0031]

It is desirable that chemical vacuum deposition performs epitaxial vacuum evaporation. Speaking generally, chemical vacuum deposition's being an epitaxial vacuum evaporation reactor, for example, EPI. In a CENTURA (trademark) reactor (Applied Materials, Santa Clara, CA), it includes exposing the front face of a wafer in the ambient atmosphere which changes including silicon. In the desirable embodiment of this invention, the front face of a wafer is exposed to the ambient atmosphere which changes including the

volatile gas (for example, SiCl_4 , SiHCl_3 , SiH_2Cl_2 , SiH_3Cl , or SiH_4) containing silicon. As for an ambient atmosphere, it is desirable to also contain carrier gas (most preferably H_2). In one embodiment, the source of silicon between epitaxial vacuum evaporation is SiH_2Cl_2 or SiH_4 . When using SiH_2Cl_2 , as for the reactor pressure between vacuum evaporation, it is desirable that they are about 500 - 760 torr of abbreviation. When using SiH_4 , as for a reactor pressure, it is desirable that it is about 100 torr. The source of silicon between vacuum evaporation is SiHCl_3 most preferably. This is quite [sources / of silicon / other] a low price. Furthermore, the epitaxial vacuum evaporation which uses SiHCl_3 can be performed in atmospheric pressure. Since this does not need a vacuum pump and does not have to make a reaction chamber strong for collapse prevention, it is advantageous. Furthermore, it is almost safe and there is little possibility of the air leak to a reaction chamber.

[0032]

It is desirable to maintain the temperature on the front face of a wafer to temperature with the sufficient ambient atmosphere which changes between epitaxial vacuum evaporation including silicon to prevent to make a front face vapor-deposit polycrystalline silicon. Generally, as for skin temperature in the meantime, it is desirable that it is about 900 degrees C at least. Skin temperature is more preferably maintained at about 1050-1150 degrees C. Skin temperature is most preferably maintained to silicon oxide removal temperature.

[0033]

When vapor-depositing under atmospheric pressure, the growth rate of an epitaxial layer has preferably desirable about 3.5-micrometer about 4.0-micrometer part for /- and thing [a part for /]. this -- about [for example, / the temperature of about 1050 degrees C - 1150 degrees C, and] -- about [a part for 1L/- and] -- it is the rate of flow for 20L/, and can carry out by using the ambient atmosphere which essentially consists of H_2 [about 2.5 mol % of SiHCl_3 and, and about 97.5 mol %].

[0034]

When the use which a wafer means needs making an epitaxial layer contain a dopant, it is desirable that the ambient atmosphere which changes including silicon also contains a dopant. For example, it is desirable that an epitaxial layer contains boron in many cases. Such a layer can be manufactured by introducing B-2 H6 into an ambient atmosphere between vacuum evaporation. It depends for the mole fraction of B-2 H6 in the ambient atmosphere needed for acquiring a desired property (for example, resistivity) on some factors [like] which are the amount of the p-type dopant which exists in the amount, the specific reactor, and specific base material of out-diffusion of boron between epitaxial vacuum evaporation as a contamination from a base material, and an N type dopant, a reactor pressure, and temperature. Like a wafer base material, the concentration of the dopant in an epitaxial layer can be adjusted and various resistivity can be obtained. For example, the ambient atmosphere (about 0.03-mol B-2 [as opposed to / Namely, / all 1,000,000-mol gas] H6) containing about 0.03 ppm B-2 H6 is used by the pressure of the temperature of about 1125 degrees C, and about 1 atmospheric pressure, and the epitaxial layer which has the resistivity of about 10-ohmcm is obtained.

[0035]

Purge gas is introduced into a chemical-vacuum-deposition room, and the number of the out-diffusion dopant atoms from the back front face of a wafer included in the epitaxial layer which grows up to be the front front face of a wafer is decreased at the same time it contacts the front front face of a silicon wafer in the source gas of silicon content. Purge gas changes including nitrogen, an argon, hydrogen, the gas containing silicon like trichlorosilane, or those mixture. For example, when using the Epsikon (trademark) epitaxial reactor manufactured by ASM, as for purge gas, it is desirable that it is the same presentation (for example, mixture of trichlorosilane and hydrogen) as epitaxial vacuum evaporation gas. general -- the flow rate of purge gas -- about -- about [a part for 1L/-, and] -- a part for 50L/-- desirable -- about -- about [a part for 10L/-, and] -- it is a part for 20L/.

[0036]

or [decreasing those inclusion to the epitaxial layer which exposes all backward front faces to purge gas substantially / a wafer /, diverts the out-diffusion atom from a back front face from a front front face, and is being vapor-deposited by it in the ring domain near the perimeter edge of a base material] -- or it removes. Therefore, the resistivity of an epitaxial layer is not influenced [substantial] by autodoping, but reduction of the resistivity by autodoping is less than about 2% more preferably less than about 5% less than about 10%. If drawing 1 is referred to, the field of the epitaxial layer 10 which is not influenced [substantial] by autodoping can be characterized to radial on the perimeter edge 2 as an axial symmetry field 6 which extends outward from the medial axis 8 of the die length of the radius 9 of a base material which has about 80% of radius 11 at least. As for the radius 11 of an axial symmetry field, it is desirable that it is [of the die

length of the radius 9 of a base material] about 85%, 90%, 95%, or 100% at least.

[0037]

Once the epitaxial layer which has desired thickness is formed, it is desirable noble gas, H₂ or those combination, and to use only H₂ more preferably and to purge the ambient atmosphere which changes including silicon from a reaction chamber. Next, it cools to the temperature which can be dealt with preferably, without doing damage (although it is generally about 800-900 degrees C or less, there is also equipment which can deal with a wafer at temperature quite higher than about 900 degrees C), next a wafer is picked out from an epitaxial vacuum evaporator reactor.

[0038]

D. epitaxial vacuum-evaporator reactor the epitaxial vacuum-evaporator process with which the wafer of this invention unified some following clear phases as mentioned above -- by removing a natural oxide layer from the front front face and back front face of : (a) wafer manufactured, and exposing the front front face of; (b) wafer to the source gas of silicon content, an epitaxial silicon layer is grown up into the front front face of a wafer, and the back front face of; and the (c) wafer is exposed to purge gas. In order to perform the aforementioned thing at a single epitaxial vacuum evaporator process, the epitaxial vacuum evaporator reactor of this invention is changed, and a flow of the raw gas to the front front face and back front face of a wafer is enabled.

[0039]

Generally, with a quartz, an epitaxial vacuum evaporator reactor has a rotation means supporting the susceptor supporting ** generally manufactured, the gas inlet which puts raw gas into a reactor, the gas outlet which removes raw gas from a reactor, the exoergic element for heating of a silicon wafer, and a wafer, a susceptor, and a wafer, and changes. In this invention, a susceptor is transposed to all backward front faces substantially [the front front face of a wafer, and a wafer] with the wafer support device to which a fluid is contacted. By contacting a fluid on the front front face and back front face of a wafer, since "floating" between loading can be removed, it is advantageous. Furthermore, the clarification gas used for the preliminary printing phase of an epitaxial vacuum evaporator process a wafer support device All backward front faces are contacted substantially [a silicon wafer], and it makes it possible to remove a full-natural oxide layer chemically substantially. By it or [that the halo operation in a back front face decreases notably by a smooth continuation silicon layer growing between growth of the epitaxial layer at the time of source gas contacting the back front face of a silicon wafer] -- or it is removed. Furthermore, a wafer support device makes it possible to carry and discharge the dopant atom which carries out out-diffusion and which is contained in a silicon wafer with purge gas flow from the front front face of a wafer from the back front face of a wafer between epitaxial vacuum evaporator processes. Discharge of an out-diffusion dopant atom prevents that most quantity of a dopant oozes out between a wafer and the edge of a susceptor, contacts a front front face, and produces the autodoping on the front face of front which is not desirable.

[0040]

A wafer support device may be what kind of gestalt to which raw gas especially clarification gas, and purge gas enable it to contact the back front face of a silicon wafer base material. A wafer support device can be made into the magnitude which can hold the silicon wafer of any diameters which include 150mm, 200mm and 300mm, or the wafer beyond it. A wafer support device can consist of ingredients, for example, the high grade graphite which has wrap silicon carbide or a glassiness carbon layer for the graphite which decreases the amount of the contamination emitted to a perimeter environment from graphite between elevated-temperature epitaxial vacuum evaporator processes, conventionally. Generally the graphite used for constituting a wafer support device is about 99.99% of pure graphite most preferably about 99.9% more preferably about 99% at least. graphite -- desirable -- less than about 20 ppm sum total metal -- desirable -- iron, molybdenum, copper, and nickel -- more -- desirable -- less than about 5 ppm sum total metal -- iron, molybdenum, copper, and nickel are also contained especially. Generally wrap silicon carbide or a glassiness carbon coat has preferably about 75 micrometers - about 150 micrometers of thickness of 100 micrometers - about 125 micrometers for graphite. Silicon carbide or a glassiness carbon coat must have preferably less than about 20 ppm of sum total group concentration of less than about 5 ppm like graphite.

[0041]

The epitaxial vacuum evaporator reactor of this invention raises the quality of a wafer, has the arbitration device to which throughput is made to increase, and may change. For example, the temperature homogeneity in a wafer can be raised by heating beforehand the raw gas which arranges a marginal ring (edge ring) on the outside around a silicon wafer and/or a wafer support device, and insulates the edge of a wafer, and/or flows into **, before they contact a wafer front face. Furthermore, a reactor has the batch

(dividers) which raises separation with the source gas flow of silicon content, and purge gas flow, and may change. Generally a marginal ring and a batch consist of graphite covered with silicon carbide and glassiness carbon like a susceptor.

[0042]

E. perforated susceptor Perforated susceptor by which 1. wafer appears in an inner annular shelf a specific gestalt or an operative condition -- setting like, a wafer support device is a perforated susceptor. Reference of drawing 2 shows the sectional view of the perforated susceptor 12. The perforated susceptor 12 has the annular shelf 13 while the silicon wafer base material which has the front front face 3 and the back front face 5 is supportable. The perforated susceptor 12 has the porous front face 14 which has two or more hole or openings 15, 16, 17, 18, 19, 20, 21, and 22. The perforated susceptor used for the single wafer reactor (for example, Centura (trademark) reactor manufactured by Applied Materials) which has back surface robot handling (robotic handling) also needs the wafer lift pinholes 23, 24, and 25 (not illustrating refer to drawing 3). On the other hand, the perforated susceptor used for the single wafer Epsilon (trademark) reactor manufactured by ASM or the barrel reactor with which it is loaded by the hand does not need a lift pinhole. The vocabulary "opening" and a "hole" is interexchangeably used in this specification, and both mean the opening path in the porous front face 14. The porous front face 14 which has opening is arranged immediately under the silicon wafer base material 4. The vocabulary the "plurality" used in this specification means two or the hole beyond it. Before applying a coat, holes 15, 16, 17, 18, 19, 20, 21, and 22 are opened in the perforated susceptor 12. Clarification gas makes possible the thing of the silicon wafer base material 4 for which all the backward front faces 5 are contacted substantially, clarification gas reacts to the real target on the front face 5 of back of the silicon base material 4 with all natural oxide, and holes 15, 16, 17, 18, 19, 20, 21, and 22 enable it to remove them between the preliminary printing phases of an epitaxial vacuum evaporation process. By clarification gas, etching is also carried out substantially and the part on the front face of back of the silicon wafer base material 4 which touches the annular-among susceptors 12 shelf 13 removes substantially the natural oxide layer on the front face of back completely, in case clarification gas exudes between a wafer and a susceptor. or [that removal of the natural oxide from the back front face 5 decreases intentionally the halo operation in the back front face of a silicon wafer in case the source gas which oozes out between a wafer and a susceptor and contacts the back front face 5 between epitaxial growth processes grows up to be a silicon front face continuously flat and smooth] -- or it removes. The dopant atom which carries out out-diffusion from the back front face of the silicon wafer base material 4 in the case of the elevated-temperature defecation phase of an epitaxial vacuum evaporation process and an epitaxial vacuum evaporation phase passes along those holes, and is discharged by purge gas flow or hydrogen flow, and holes 15, 16, 17, 18, 19, 20, 21, and 22 make it possible to go into a discharge system from the front front face 3 of the silicon wafer base material 4. Therefore, a significant reduction of the autodoping on the front face of front between epitaxial vacuum evaporation processes is attained.

[0043]

Reference of drawing 3 shows the plan of the perforated susceptor 12 which has the inner annular shelf 13 and the porous front face 9 which has two or more holes. The perforated susceptor used for the reactor which has back surface wafer handling also needs the wafer lift pinholes 23, 24, and 25 on the porous front face 14, and they enable the lift pin under the perforated susceptor 12 (not shown) to carry or lift a silicon wafer between epitaxial vacuum evaporation processes and to the back at the perforated susceptor 12. The marginal ring 27 surrounds the perimeter of the perforated susceptor 12, and ensures temperature homogeneity in a silicon wafer. Generally the marginal ring 27 has a diameter larger about 4cm - about 10cm than the perforated susceptor 12.

[0044]

or [that, as for the hole of the porous front face of the perforated susceptor arranged immediately under a silicon wafer, silicon carbide or a glassiness carbon coat blocks a hole substantially (when being applied to a susceptor after making a hole in a susceptor)] -- or it is desirable to close and to have a diameter which does not restrict the flow of the fluid passing through a hole. This contractor understands that opening which lets it pass with the whole and is generally called a hole may be the form of an and also [it is how] where a square, a slot, a rhombus, or a fluid can flow that. Opening has width of face of about 0.5mm - about 1mm about 0.1mm - about 1mm about 0.1mm - about 3mm preferably. When the width of face of opening has the shortest distance of two angles, or circular opening, it defines as a diameter. Spacing of the hole of a perforated susceptor is opened so that the clarification gas used between the preliminary printing phases of an epitaxial vacuum evaporation process may contact all backward front faces substantially [a silicon

wafer] and can etch. about 0.5mm - about 4cm -- more -- desirable -- about 2mm - about 2cm -- most -- desirable -- about 6mm - about 1.5cm -- spacing ***** of the hole of a perforated susceptor -- things can contact all backward front faces substantially [a silicon wafer], and clarification gas can etch all natural oxide from a back front face substantially by it. The sum total percent of the opening field of the perforated front face of a susceptor is about 1% - about 3% of the total surface area of a perforated front face more preferably 0.5% - about 4% of abbreviation of the total surface area of a perforated front face. the perforated front face of a susceptor -- desirable -- about 0.2 holes / cm² - about 4 holes / cm² -- it has the consistency of about 0.8 holes / cm² - about 1.75 holes / cm² more preferably. The vocabulary the "consistency" used in this specification means homogeneity or an ununiformity consistency.

[0045]

As for the hole of a perforated susceptor, generally, it is desirable that silicon carbide or a glassiness carbon coat does not restrict the flow of the fluid which has the smallest possible diameter and moreover goes to the back front face of a silicon wafer through the hole. When the hole of a susceptor is too large, the problem of the nano topography on the front face of front of the wafer produced with the local temperature heterogeneity in a back front face may arise. A hot spot or cold spot may generate the hole of the large diameter in a perforated susceptor on the back front face of a silicon wafer by the direct exposure on the front face of back by the thermolamp arranged under the silicon wafer. Such hot spots or cold spot form a temperature gradient in a before [a silicon wafer] table front face, and may produce the ununiformity epitaxial silicon growth in the front front face of a silicon wafer. Ununiformity growth of an epitaxial layer reduces the quality of a wafer notably. The hole of a perforated susceptor can be made in a susceptor by the oblique angle, the possibility of formation of the hot spot which produces the direct exposure on the front face of back by the thermolamp and the ununiformity epitaxial growth in a front front face, or cold spot can be decreased further, and it enables it to remove the dopant atom which contacted the back front face, and gas obtained and carried out out-diffusion through the susceptor from a back front face moreover. or [decreasing further formation of the hot spot by the direct exposure of the wafer from a hole, or cold spot, and the possibility of generating of the temperature gradient in a silicon wafer, and decreasing the hot spot or cold spot produced by the lift pinhole] -- or in order to remove, the rate of a LGT power ratio of the thermolamp of the upper part of a silicon wafer and a lower part can be adjusted, and heating which maintained the balance from a LGT can be obtained.

[0046]

Reference of drawing 4 shows the epitaxial reaction chamber 30 used between the epitaxial growth processes which use the perforated susceptor 12 of this invention. The perforated susceptor 12 is attached in the rotation supports 31 and 32, and is made into the magnitude and the gestalt which support the silicon wafer base material 4 on the inside annular shelf 13 between epitaxial vacuum evaporatio processes. The silicon wafer base material 4 has the relation which opened the holes 15, 16, 17, 18, 19, 20, 21, and 22 and spacing of the porous front face 14 of the perforated susceptor 12. The lift pinhole 23 enables it to contact the silicon wafer base material 4 through the porous front face 14 of the perforated susceptor 12, by it, before an epitaxial vacuum evaporatio process and to the back, the silicon wafer base material 4 can be carried at the perforated susceptor 12, or a lift pin (not shown) can raise it. The epitaxial vacuum evaporatio room 30 also has the upper part of the perforated susceptor 12, and the thermolamp arrays 33 and 34 for heating between the epitaxial vacuum evaporatio processes arranged caudad, respectively. Gas inlets 35 and 36 enable installation of the clarification gas between the preliminary printing phases of an epitaxial vacuum evaporatio process, by it, can introduce clarification gas into the upper part of the silicon wafer base material 4, and a lower part, and can raise removal of the natural oxide on the front front face 3 of the silicon wafer base material 4, and the front face 5 of back. A gas inlet 35 introduces the source gas of silicon content which flows the upper part of the silicon wafer base material 4, and a gas inlet 36 introduces hydrogen or inert gas under the silicon wafer base material 4, the flash plate of the back front face 5 of the silicon wafer base material 4 is carried out, and it is made for an out-diffusion dopant atom not to go to a front front face between epitaxial growth steps. As shown in drawing 4, it is desirable that the gas introduced into the epitaxial vacuum evaporatio room flows in parallel with the front front face and back front face of a silicon wafer (however, an parallel flow pattern is not required). It makes it possible for the introduced gas to contact a front front face, and for such a flow pattern to pass a susceptor through the hole on the front face of a susceptor, and to contact the back front face of a wafer. or [that possibility that a silicon wafer will be lifted and will deform from an annular shelf by the gas which exudes between the edge of a wafer and the edge of an annular shelf since gas flows in parallel with a silicon wafer and it does not flow perpendicularly decreases notably] -- or it is removed. The gas introduced into ** 30 from gas inlets

35 and 36 is removed from ** 34 through an outlet 37.

[0047]

The hole of a perforated susceptor is enabled for clarification gas to pass along a perforated susceptor and to contact all backward front faces substantially [a silicon wafer] between defecation phases, and the natural oxide which exists on a back front face by it is removed by clarification gas. This natural oxide removal from a back front face enables a smooth continuation epitaxial silicon layer to grow up in every part on the front face of back of the silicon wafer which contacts source gas between growth of an epitaxial layer, therefore removes formation of the halo in a back front face substantially. Furthermore, the hole of a perforated susceptor carries to an outlet the dopant atom which inert gas or hydrogen makes it possible to contact the back front face of a wafer, and carries out out-diffusion from a back front face in both between defecation phases and between epitaxial growth steps by it from a silicon wafer, therefore decreases substantially the possibility of the autodoping on the front face of front of a wafer.

[0048]

2. Perforated susceptor by which wafer appears in porous front face In the alternative embodiment of this invention, a perforated susceptor is made into magnitude and a gestalt with which a silicon wafer appears in a porous front face directly, and it removes the annular shelf 13 while it is shown in drawing 4. Reference of drawing 5 shows the sectional view of a perforated susceptor where the silicon wafer appears in the porous front face directly. The back front face 5 of the silicon wafer base material 4 appears in the porous front face 41 of the perforated susceptor 40 directly. Although the back front face 5 of the silicon wafer base material 4 has touched as directly as the porous front face 41, the gas by which the perforated susceptor 40 flows caudad can pass through the porous front face 41 through holes 42, 43, 44, 45, 46, 47, 48, and 49, and can contact the real target of the wafer base material 4 with all backward front faces.

[0049]

3. perforated susceptor by which a wafer appears in a concave porosity front face others -- an alternative operative condition -- the perforated susceptor of this invention which sets like and is shown in drawing 5 -- modification -- in addition, a porous front face is used as a pan type, and it is made only for the rim of a silicon wafer to touch a perforated susceptor Reference of drawing 6 shows the sectional view of the perforated susceptor 50 where the silicon wafer appears in the porous front face 51 of the perforated susceptor 50 directly. The back front face 5 of the silicon wafer base material 4 appears in the porous front face 51 of the perforated susceptor 50 directly. The porous front face 51 is used as a pan form, the rim 2 of the silicon wafer base material 4 touches the porous front face 51 directly, and the remaining part on the front face 5 of back of the silicon wafer base material 4 is not directly in contact with the porous front face 51 with it. Between use, holes 52, 53, 54, 55, 56, 57, and 58 make possible flow of the fluid which goes to the back front face of a wafer through them.

[0050]

This contractor understands that the perforated susceptor of this invention can be used regardless of the form of the susceptor used with the vacuum evaporatio no reactor of the various types which include a barrel, a pancake, and a mini batch reactor.

[0051]

F. susceptor which has an extension lift pin drawing 7 -- referring to -- if -- this invention -- alternative -- an operative condition -- like -- setting -- a wafer -- support -- a device -- the former -- a susceptor -- 60 -- it is - - this -- a susceptor -- setting -- at least -- three -- a ** -- a lift -- a pin -- 61 -- 62 -- 63 -- all -- epitaxial -- vacuum evaporatio no -- a process (namely, between preliminary printing and epitaxial growth) -- letting it pass -- having extended -- a location -- or -- having gone up -- (-- up --) -- a location -- maintaining -- having . By lifting a silicon wafer above a susceptor 60, washing gas is introduced into the epitaxial vacuum evaporatio no room 30 between preliminary printing, it contacts and removes in the natural oxide layer on the front face 5 of back of the wafer base material 4, and formation of a chemical-vacuum-deposition induction halo is prevented. Similarly, it is made for the dopant atom with which the purge gas introduced into the epitaxial vacuum evaporatio no room 30 between growth of an epitaxial silicon layer is emitted from the back front face 5 not to go to the front front face 3, and the autodoping of an epitaxial silicon layer is prevented.

[0052]

G. Open type wafer support device In the alternative embodiment of this invention, a wafer is supported so that all backward front faces may be exposed to a direct exposure substantially [a wafer] from an exoergic element (namely, open type wafer support device). Use of the open type wafer support device in an epitaxial vacuum evaporatio no room may be desirable depending on a specific application. For example, it is made

for open type wafer support to reach the vacuum evaporation temperature of a request of a wafer quickly, and throughput is made to increase by it. Furthermore, from a perforated susceptor, open type wafer support enables it to heat a wafer to homogeneity, and gives a more uniform epitaxial layer (namely, nano topography which decreased).

[0053]

1. Pin support One embodiment of an open type wafer support device has at least three pins which extend from a rotation support like the device used for Steag(trademark) SHS3000 quick heat Annie Ra, and changes, and this pin touches the back front face of a wafer by the inside of the perimeter edge of a wafer, and supports a wafer between epitaxial growth processes. Reference of drawing 8 shows the epitaxial reaction chamber 30 used between the epitaxial growth processes which use a pin support of this invention. Three pins 70, 71, and 72 are attached in the rotation support 74, and are made into the magnitude and the gestalt which support the silicon wafer base material 4 between epitaxial vacuum evaporation processes. The epitaxial vacuum evaporation room 34 also has the upper part of the wafer base material 4, and the thermolamp arrays 33 and 34 for heating between the epitaxial vacuum evaporation processes arranged caudad, respectively. Gas inlets 35 and 36 enable installation of the clarification gas between the preliminary baking phases of an epitaxial vacuum evaporation process, and clarification gas is introduced into the upper part of the silicon wafer base material 4, and a lower part by it, and they raise the natural oxide removal on the front front face 3 of the silicon wafer base material 4, and the front face 5 of back by it. A gas inlet 35 introduces the source gas of silicon content which flows the upper part of the wafer base material 4, and a gas inlet 36 introduces hydrogen or inert gas under the wafer base material 4, the flash plate of the back front face 5 of the silicon wafer base material 4 is carried out, and it is made for an out-diffusion dopant atom not to go to the front front face 3 between epitaxial growth steps. It also has ***** 75 and 76, it changes, and the epitaxial vacuum evaporation room 34 raises separation of the vacuum evaporation gas from purge gas. The marginal ring 77 also has and changes on a stanchion 78 and 79, and the epitaxial vacuum evaporation room 34 raises the temperature homogeneity on the front face of a wafer.

[0054]

2. Ring support When drawing 9 is referred to, it sets in the alternative embodiment and a wafer support device is Applied. It is the same ring support 80 as what is used for the Centura (trademark) quick thermal treatment equipment manufactured by Materials. If drawing 10 is referred to, the work to which it was desirable to which having had the annular shelf 91 while supporting the wafer base material 4, and the outside annular stage 92, and having changed as for the ring support 90, and the annular-this outside stage resembled the marginal ring extremely will be carried out, the perimeter edge of a wafer is insulated, the preheating of the reactant gas is carried out, and a slip is prevented.

[0055]

H. Effectiveness of the epitaxial vacuum deposition of this invention Some experiments were conducted and the approach of this invention of manufacturing the single crystal wafer of this invention, and the effectiveness of equipment were evaluated. For example, the general susceptor and the perforated susceptor were used and the epitaxial layer with a thickness of about 2.75 micrometers was vapor-deposited to the boron doping wafer base material with a diameter of 200mm which has the resistivity of about 0.005-ohmcm - about 0.01-ohmcm. When drawing 11 is referred to, it turns out that the wafer which has a back surface oxide seal had uniform resistivity substantially in the wafer front face. Similarly, the perforated susceptor was used and the epitaxial layer vapor-deposited to the wafer which does not have a back surface oxide seal also had uniform resistivity substantially in the wafer front face. However, the epitaxial layer vapor-deposited to the wafer which uses a general susceptor and does not have a back surface oxide seal had uneven resistivity in the wafer front face (most depends the "W" form of a resistivity plot as a function of a surface location on having operated a process variable like temperature and gas flow, in order to maintain resistivity to tolerance and to compensate the autodoping near the perimeter edge). If such actuation is not performed, a perimeter edge to about 10mm [a core to] of resistivity is substantially uniform, and it is thought in 10mm of the last that resistivity decreases considerably by autodoping. For example, in 10mm, the resistivity of an epitaxial layer can decrease [from a perimeter edge] depending on the difference of the resistivity of a base material, and the resistivity of an epitaxial layer about 10% - about 20%, about 50%, or more than it inside.

[0056]

If drawing 12 A is referred to, the Tencor(trademark) SP1 cloudiness map shows the location of a surface halo clearly, after being generated by vapor-depositing an epitaxial silicon layer using the conventional susceptor in the wafer which does not have a back surface oxide seal. On the other hand, drawing 12 B

shows that a halo is removed without using a back surface oxide seal by using the perforated susceptor of this invention.

[0057]

It is ADE(trademark) CR-83 when drawing 13 A is referred to. The SQM nano topography map shows clearly that the epitaxial layer which has about 60nm nano topography immediately on a lift pinhole is produced by use of the conventional susceptor. On the other hand, drawing 13 B shows that use of a perforated susceptor decreases notably the nano topography of the epitaxial layer above a lift pinhole to less than about 20nm.

[0058]

Three embodiments of the perforated susceptor which has various magnitude, spacing, and consistencies of a hole were evaluated about supporting a silicon wafer with a diameter of 200mm between epitaxial vacuum evaporation processes. the cartridge which has the radius of about 95mm which each embodiment opened perpendicularly toward the lower part -- it had the equidistant hole mostly. The number and magnitude of a hole :perforation susceptor A which was various as follows It has 274 holes (hole consistency of about 0.95 holes / cm²) which have the diameter of about 1.32mm.; perforation susceptor B It had 548 holes (hole consistency of about 1.95 holes / cm²) which have the diameter of about 1.32mm, and; perforation susceptor C had 274 holes (hole consistency of about 0.95 holes / cm²) which have the diameter of about 1.02mm. Each embodiment also had three lift pinholes with a diameter of about 8mm which opened spacing of about 120 degrees in the location of about 90mm from the core of a susceptor.

[0059]

The aforementioned perforated susceptor was used and many silicon wafers which have a silicon epitaxial layer were manufactured. Each wafer did not have the autodoping on a back surface halo and the front face of front. The result to current shows that profits are not necessarily obtained by the difference in a hole consistency about a halo or autodoping. However, the nano topography in an epitaxial silicon wafer front face which decreased was observed in the wafer manufactured using Susceptor C (susceptor which has the hole of a small diameter). Especially the wafer that has the epitaxial layer with a thickness of about 3 micrometers grown up using Susceptors A and B showed about 20nm nano topography to the front face immediately on a hole, and the wafer manufactured using Susceptor C showed about 10nm or the nano topography not more than it.

[0060]

I. Proper gettering single crystal silicon wafer As mentioned above, the wafer manufactured using the Czochralski method has about 10 ppm - about 18 ppm oxygen density. Furthermore, depending on the cooling rate of a single-crystal-silicon ingot to about 750 degrees C - about 350 degrees C, an oxygen sludge nucleation core can be formed from the melting point (namely, about 1410 degrees C) of silicon. The heat treatment cycle generally used for manufacture of an electron device may also produce a deposit of oxygen in the silicon wafer of the supersaturation condition of oxygen. A sludge can become detrimentally and useful depending on the location in a wafer. The oxygen sludge which exists in the activity device field (namely, generally near a front face) of a wafer spoils the engine performance of a device. However, the oxygen sludge which exists in the bulk of a wafer can catch the metal impurity in contact with a wafer which is not desirable. In order to catch a metal, generally it is called the interior or proper gettering (IG) to use the oxygen sludge which exists in the bulk of a wafer.

[0061]

Historically, the production process of an electron device includes a series of phases designed so that the silicon which has the remaining part (namely, wafer bulk) of the wafer containing the field (generally called a "exposed region" or "sludge non-*****") near the front face of the wafer which does not contain an oxygen sludge, and a sufficient number for the purpose of IG of oxygen sludges might be manufactured. An exposed region is formed among (a) inert gas in heat sequence of quantity-low-quantity like growth of the oxygen (SiO₂) sludge for example, in oxygen out-diffusion heat treatment in the elevated temperature (> 1100 degrees C) over about 4 hours, the oxygen sludge nucleation in (b) low temperature (600 degrees C - 750 degrees C), and the (c) elevated temperature (1000 degrees C - 1150 degrees C) at least. For example, F. Shimura Semiconductor Silicon Crystal Technology Refer to p.361-367 (Academic Press, Inc., San Diego CA, 1989) (and reference quoted by it).

[0062]

However, recently, the electron device manufacturing method which progressed, for example, a DRAM manufacturing method, makes use of a high-temperature-processing process the minimum. Although some of these manufacturing methods are still using sufficient elevated-temperature heat treatment phase to obtain

an exposed region and the bulk sludge of sufficient consistency, tolerance of an ingredient cannot use them as the product which is too narrow and is industrially implementable. The electron device manufacturing method which progressed to other current altitude does not have an out-diffusion phase at all. Therefore, these electron device manufacturers have to use the silicon wafer of a wafer which does not form an oxygen sludge anywhere under those processing conditions on account of the problem relevant to the oxygen sludge in an activity device field. Consequently, the possibility of IG is lost.

[0063]

However, this invention enables formation of the mold of the crystal-lattice hole in a wafer, and when this mold heat-treats a wafer, it produces distribution of the oxygen sludge of the ideal uneven depth in a wafer (WO 00/34999 reference exhibited on June 15, 2000 contained in this invention as a whole). Generally, decision whether the mold of a crystal-lattice hole is formed is partially based on the presentation of a wafer base material. Although formation of mold is generally unnecessary since the P type base material (for example, P+ and P++ base material) which especially boron increased the deposit of oxygen, consequently was doped seriously forms enough oxygen sludges, generally the P type base material (for example, P-base material) doped slightly needs formation of mold for the purpose of IG.

[0064]

Drawing 14 shows such one oxygen sludge distribution that can be formed by heat-treatment of the wafer manufactured by this invention. this specific operative condition -- it sets like and the wafer base material 4 (or [having the epitaxial layer vapor-deposited on the front front face 3] -- or it does not have) is characterized by the field 93 and 93' (exposed region) which do not contain the oxygen sludge 95. These fields extend in the depth of t and t' from the front front face 3 and the back front face 5, respectively. About 10 micrometers - 100 micrometers t and t' is about 50 micrometers - about 100 micrometers more preferably, respectively. Oxygen sludge non-***** 93 and the field 94 which contains the oxygen sludge of uniform concentration substantially between 93' exist. oxygen sludge concentration [in / on most applications and / a field 94] -- at least -- about -- 5×10^8 sludge / cm^3 -- more -- desirable -- about -- they are 1×10^9 sludge / cm^3 . By only showing the embodiment of one this invention, if this contractor is told about this invention, he should understand the purpose of drawing 14. This invention is not limited to the embodiment. For example, this invention is used, and the wafer which has the exposed region 93 of one ** can also be manufactured instead of having two exposed regions 93 and 93'.

[0065]

In order to form the mold of a crystal-lattice hole, generally, a wafer is heated first, next it cools at about 10 degrees C/second in rate at least. The purpose which heats a wafer forms the self-interstitial atom in a crystal lattice distributed over homogeneity, and a hole pair (namely, Frenkel defect) in the whole :(a) wafer which is as follows, and dissolves the destabilized oxygen sludge nucleation core which exists in the (b) wafer. More Frenkel defects are formed, so that it heats to general more high temperature. the purpose of a cooling phase produces ununiformity distribution of a crystal-lattice hole -- it is -- this distribution -- setting -- hole concentration -- the core of a wafer -- or it is max near a core and decreases toward the front face of a wafer. It is thought that this ununiformity distribution of a crystal-lattice hole is produced by spreading a part of hole near the front face of a wafer on a front face between cooling, and disappearing by it, consequently producing the low concentration of the hole in near a front face.

[0066]

In most applications, it is desirable to heat a wafer in immersion (soak) temperature of about 1175 degrees C at least. About 1200 degrees C - about 1300 degrees C are most preferably heated in immersion temperature of about 1225 degrees C - about 1250 degrees C. Over the temperature of a wafer having reached desired immersion temperature, wafer temperature is maintained at the immersion temperature to predetermined time. Generally desirable time amount is about 10 seconds - about 15 seconds. In the epitaxial vacuum evaporation reactor of general current marketing, it is desirable to maintain a wafer to immersion temperature over [about 12 seconds -] about 15 seconds. On the other hand, in the RTA furnace of general current marketing, it is desirable to maintain a wafer to immersion temperature over about 10 seconds.

[0067]

Generally, a wafer is heated, making it expose to an ambient atmosphere. In one embodiment of this invention, an ambient atmosphere is an oxidizing atmosphere which changes including H₂O and H₂. However, the oxidant in an oxidizing atmosphere is oxygen gas (namely, O₂ [300 mols / per 1,000,000 mols of sum total gas]) which exists in an ambient atmosphere by the concentration of about 300 ppm at least more preferably. About 300 ppm - about 2000 ppm of oxygen densities are about 300 ppm - about 500 ppm most preferably. As for the remainder of an oxidizing atmosphere, it is desirable to essentially consist

of a silicon front face or an oxidant, and the gas that does not react. the remainder of gas -- desirable -- noble gas or N₂ -- more -- desirable -- noble gas -- it essentially [it is the most desirable and] from Ar changes. As for an oxidizing atmosphere, it is desirable to be exposed to an epitaxial front face at least between heating. An oxidizing atmosphere is essentially more preferably exposed to all the front faces of a wafer.
[0068]

In other embodiments of this invention, an ambient atmosphere does not contain an oxidant in essence. As for an ambient atmosphere, it is desirable not to contain an oxidant in essence on account of particle generating produced in case it is not concerned that there is an inclination which produces the cloudiness of the front face of a wafer when forming the mold of a crystal-lattice hole in an epitaxial reactor (it indicates below), either but consideration (explosion is avoided) and the oxidant, and unreacted chlorosilane of safety contact. The ambient atmosphere which does not contain an oxidant in essence can change including reducing gas (for example, H₂) and/or inert gas (for example, noble gas like helium, Ne, Ar, Kr, and Xe). As for an ambient atmosphere, it is desirable to essentially consist of H₂, Ar(s), and those mixture.
[0069]

After heat treatment of the wafer in an oxidizing atmosphere, a wafer is cooled quickly. This cooling phase can be performed in the same ambient atmosphere as having heat-treated to the convenient thing. Or it is also desirable to carry out in a wafer front face and the ambient atmosphere which does not react. It is desirable to cool a wafer at about 10 degrees C/second in rate at least. About 20 degrees C /of wafers are most preferably cooled at about 50 degrees C/second in rate a second still more preferably [second] about 15 degrees C /at least. While the temperature of a wafer falls in the temperature requirement which a crystal-lattice hole diffuses through single crystal silicon, it is desirable to use this quick cooling rate. If a wafer is cooled by the temperature once beyond the range of temperature whose crystal-lattice hole is migratory comparatively, a cooling rate will not affect the deposit property of a wafer intentionally, therefore will not be limited. Generally, a crystal-lattice hole is migratory comparatively at temperature higher than about 1000 degrees C.
[0070]

In case the temperature of a wafer falls from immersion temperature to temperature lower about 150 degrees C than immersion temperature in a desirable embodiment especially, the average cooling rate of a wafer is about 10 degrees C (desirable at least about 15 degrees C/second still more desirable at least about 20 degrees C/second most desirable at least about 50 degrees C/(second))/second at least. In case the temperature of a wafer falls from immersion temperature to temperature lower about 250 degrees C than immersion temperature in other desirable embodiments especially, the average cooling rate of a wafer is about 10 degrees C (desirable at least about 15 degrees C/second still more desirable at least about 20 degrees C/second most desirable at least about 50 degrees C/(second))/second at least.
[0071]

The train of for example, a high power LGT can perform heating and forced cooling in the rapid annealing (RTA) furnace of marketing of many which heat a wafer. A RTA furnace can heat a silicon wafer quickly. For example, many furnaces can heat a wafer in several seconds at 1200 degrees C from a room temperature. The example of a suitable commercial furnace is AG. 610 type furnaces and Applied from Associated (Mountain View, CA) It is CENTURA(trademark) RTP from Materials (Santa Clara, CA).
[0072]

Or heating and forced cooling shall be performed also in an epitaxial vacuum evaporation reactor, however a desired cooling rate shall reach in a reactor. These people are EPIs about heating and a cooling phase. It checked that it could carry out with a CENTURA (trademark) reactor. When drawing 15 and drawing 19 are referred to, such a reactor has the susceptor 101 supporting a wafer. The susceptor 101 is attached in the arm 103 of the susceptor support shaft 105 attached in the lumen 106 of the wafer lift shaft 107 in sliding fixed. The wafer lift shaft is attached for perpendicular movement in tubed opening of the lower part dome (not shown) of a reactor. The pneumatic pressure mechanism (not shown) which is together or moves perpendicularly the susceptor support shaft 105 and the wafer lift shaft 107 to independence if needed can be used. This mechanism can be used also for rotating the susceptor support shaft 105 of a lumen 106, and rotating a susceptor 101 and a wafer by it. A susceptor is attached in opening of a susceptor possible [sliding], and has the hard pin 109 which engages with the stop 111 of a wafer lift shaft in those lower part ends. The upper part end of a pin 109 can support a wafer. Generally, a pin 109 is in a reactor, or it is used only in order to support a wafer between the migration from a reactor.
[0073]

EPI A wafer is carried to a reactor with the blade 113 made into the magnitude which suits between the hard

pins 109 in order to arrange a wafer for heat treatment in a CENTURA (trademark) reactor (refer to drawing 19). The susceptor support shaft 105 and the wafer lift shaft 107 move to the orientation shown in drawing 16 from the exchange location shown in drawing 15 upward. Upward migration of the susceptor support shaft 105 makes a pin 109 (it engages with the wafer lift shaft 106) engage with the back front face of a wafer, and lifts a wafer from a blade 113. Next, a blade is removed from a reactor. If drawing 17 is referred to next, while the wafer lift shaft 107 had been made to stand it still, the susceptor support shaft 105 will be moved further upward. This lets a pin 109 slide downward to a susceptor 101 until the upper front face of a susceptor 101 touches a wafer. Next, a susceptor 101 supports a wafer. On the other hand, the support shaft 105 continues moving upward until a susceptor 101 becomes a ring 115 and *****. When it becomes ***** , a susceptor is in a processing location. Next, the train (not shown) of a high power LGT is operated, and a wafer is heated, supporting a wafer by the susceptor 101 in a processing location. It is desirable to rotate a susceptor 101 and a wafer in the case of heating so that a wafer may be heated by homogeneity.

[0074]

It sets to the temperature whose crystal-lattice hole is migratory comparatively, and is EPI. It turned out that the general average cooling rate (namely, about 10 degrees C - 15 degrees C/(second)) of the wafer in a CENTURA (trademark) reactor tends to become quite slower than the general average cooling rate (namely, about 70 degrees C - 100 degrees C/(second)) obtained at a RTA furnace. This depends a part on it being still hot over some time amount, after heating is completed by the susceptor 101 (refer to drawing 17) which is in contact with the wafer. Therefore, in order to make a cooling rate quick, it is desirable to move a wafer to the most distant possible location from a susceptor 101. This can be immediately performed after termination of heating by lowering to the exchange location which shows the susceptor support shaft 105 to drawing 18. Since the wafer is supported only by the pin 109, all backward front faces and all forward front faces do not contact other solid-state heat front faces (except pin 109) substantially [a wafer]. Furthermore, a wafer is arranged in the most distant possible location from the hot susceptor 101. The cooling rate of a wafer can be doubled [about] by lifting a wafer from a susceptor 101 (that is, an average cooling rate increases [second] in about 10 degrees C - 15 degrees C/second to about 25 degrees C - about 30 degrees C /).

[0075]

In an alternative embodiment, a desired cooling rate can be obtained in the epitaxial vacuum evaporation reactor which has an after [disconnection] surface wafer support device like the aforementioned pin support or a ring support, and changes. By using an after [disconnection] surface wafer support device, a heat insulation operation of a susceptor is removed, and a wafer can be heated more quickly and it can cool. Generally the wafer on a pin support or a ring support is cooled to the wafer supported by the lift pin above the susceptor generally especially cooled at about 25 degrees C - about 30 degrees C/second in rate at about 70 degrees C - about 100 degrees C/second in rate. Since an after [disconnection] surface wafer support device can unify heat treatment which forms an exposed region at an epitaxial vacuum evaporation process, it is desirable without the additional physics contact which can do damage to a wafer and which puts a wafer on a pin.

[0076]

The ununiformity hole profile manufactured by this invention is the mold of the precipitation of oxygen at the time of a wafer being heated behind. Although a sludge 95 is formed in the field 94 of the wafer base material 4 with which oxygen crowds quickly and contains a high-concentration hole when the wafer base material 4 (refer to drawing 14) is heated especially, in the field 93 near the wafer front faces 3 and 5 containing a low-concentration hole, and 93', it is hard to crowd. Generally, oxygen forms a nucleus at the temperature of about 500 degrees C - about 800 degrees C, and grows up a sludge at the temperature of about 700 degrees C - about 1000 degrees C. If it takes into consideration that follow, for example, ununiformity distribution of the oxygen sludge 95 in a wafer is performed in many cases at temperature with the heat treatment cycle of an electron device production process near 800 degrees C, it will be thought that it is formed between such heat treatment cycles.

[0077]

Formation of the mold of the crystal-lattice hole in a wafer and the following precipitation of oxygen may carry out at any time between a wafer and/or a device production process a condition [the following down stream processing not extinguishing an oxygen sludge nucleation core / oxygen sludge] (for example, the next heating of the wafer to sufficient temperature in time amount short enough for dissolving a nucleation core / oxygen sludge in silicon). In one desirable embodiment of this invention, formation of the mold of a crystal-lattice hole, and a nucleation core / oxygen sludge takes place, after making an epitaxial layer vapor-

deposit. For example, as mentioned above, the mold of a crystal-lattice hole is formed between the wafer production processes after epitaxial vacuum evaporation, and nucleation/deposit is performed between the heat treatment cycles of an electron device production process. In other embodiments, formation of a crystal-lattice hole and a nucleation core / oxygen sludge takes place before vacuum evaporation of an epitaxial layer. A nucleation core / sludge is sufficient time amount to grow up the nucleation core / sludge of sufficient magnitude to be equal to next heat treatment (that is, for the radius of a nucleation core / sludge to be larger than a "critical radius"), and is formed by heating a wafer to predetermined temperature.

[0078]

It is understood in view of the above that the purpose of this invention is attained. Since it cannot deviate from the range of this invention but various modification can be added to the aforementioned perforated susceptor, all the aforementioned matters are illustrated and it is understood that it is not what is limited.

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the structure of the single crystal silicon wafer which can be used as a start ingredient of this invention.

[Drawing 2] It is the sectional view of the embodiment of the wafer support device of this invention in the field of the line 26-26 of drawing 3.

[Drawing 3] It is the plan of the embodiment of the wafer support device of this invention.

[Drawing 4] It is drawing of an epitaxial reaction chamber showing the embodiment of the wafer support device of this invention in the cross section of the line 26-26 of drawing 3.

[Drawing 5] It is the sectional view of the embodiment of the wafer support device of this invention.

[Drawing 6] It is the sectional view of the embodiment of the wafer support device of this invention.

[Drawing 7] It is drawing of the epitaxial reaction chamber of this invention showing the embodiment of a wafer support device.

[Drawing 8] It is drawing of the epitaxial reaction chamber of this invention showing the embodiment of a wafer support device.

[Drawing 9] It is drawing of the epitaxial reaction chamber of this invention showing the embodiment of a wafer support device.

[Drawing 10] It is drawing of the epitaxial reaction chamber of this invention showing the embodiment of a wafer support device.

[Drawing 11] It is the graph which compares the resistivity profile of the epitaxial layer vapor-deposited to the silicon wafer grown up with this invention and a conventional method.

[Drawing 12] It is drawing which measures extent of the halo in the back front face of an epitaxial wafer and in which showing two cloudy maps. Drawing 12 A is the map of the wafer which does not have the back surface smoothness after epitaxy manufactured using the conventional method, and drawing 12 B is the map of the wafer which does not have the back surface smoothness after epitaxy manufactured by this invention.

[Drawing 13] It is drawing which compares the nano topography on the front face of front of an epitaxial wafer and in which showing a surface nano topography map. Drawing 13 A is the map of the wafer manufactured using the conventional susceptor, and drawing 13 B is the map of the wafer manufactured using the susceptor which opened the through tube.

[Drawing 14] It is drawing showing the precipitation-of-oxygen aspect of affairs of the wafer which can be manufactured according to the desirable embodiment of this invention.

[Drawing 15] It is related with arrangement of the wafer in a reactor, and is EPI. It is the mimetic diagram showing the mechanism used in a CENTURA (trademark) reactor (Applied Materials, Santa Clara, CA). In this drawing, the susceptor support shaft 105 and the wafer lift shaft 107 are in an exchange location.

[Drawing 16] It is related with the location of the wafer in a reactor, and is EPI. It is the mimetic diagram showing the mechanism used in a CENTURA (trademark) reactor, and the susceptor support shaft 105 and the wafer lift shaft 107 are in an orientation in this drawing.

[Drawing 17] It is related with the location of the wafer in a reactor, and is EPI. It is the mimetic diagram showing the mechanism used in a CENTURA (trademark) reactor. In this drawing, the susceptor support shaft 105 and the wafer lift shaft 107 are in a processing location.

[Drawing 18] It is related with the location of the wafer in a reactor, and is EPI. It is the mimetic diagram showing the mechanism used in a CENTURA (trademark) reactor. This drawing cools a wafer quickly by this invention, and shows the desirable location of the susceptor support shaft 105 and the wafer lift shaft 107 at the time of affecting the crystal-lattice hole profile of a wafer.

[Drawing 19] It is related with arrangement of the wafer in the reactor of drawing 15, and is EPI. It is the plan showing the mechanism used in a CENTURA (trademark) reactor.

A corresponding sign shows the part which corresponds through a drawing.

[Translation done.]

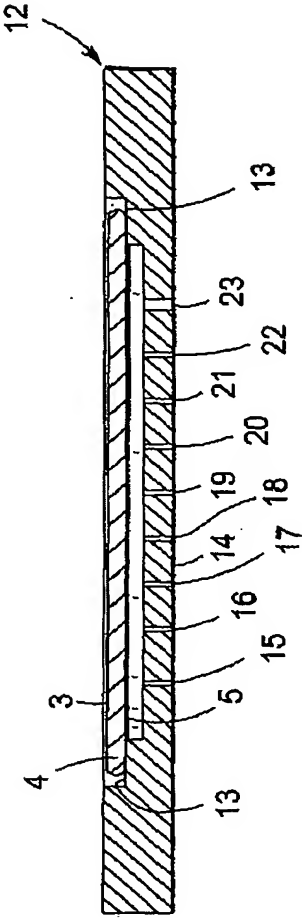


FIG. 2

[Drawing 3]

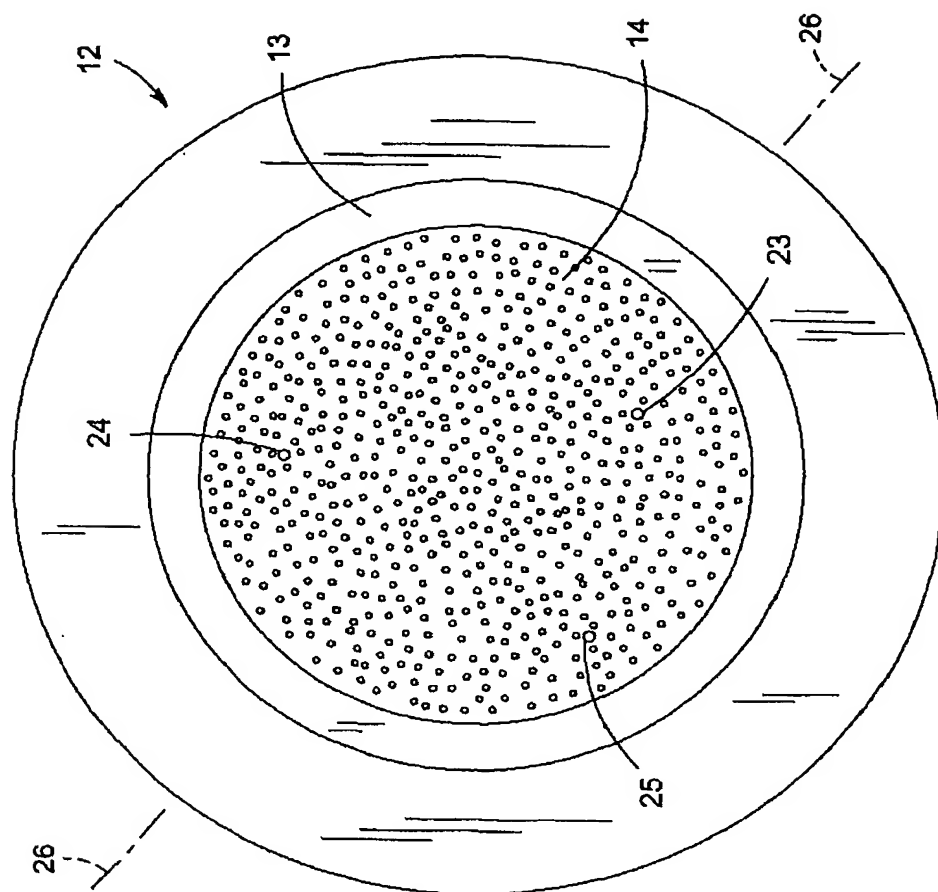
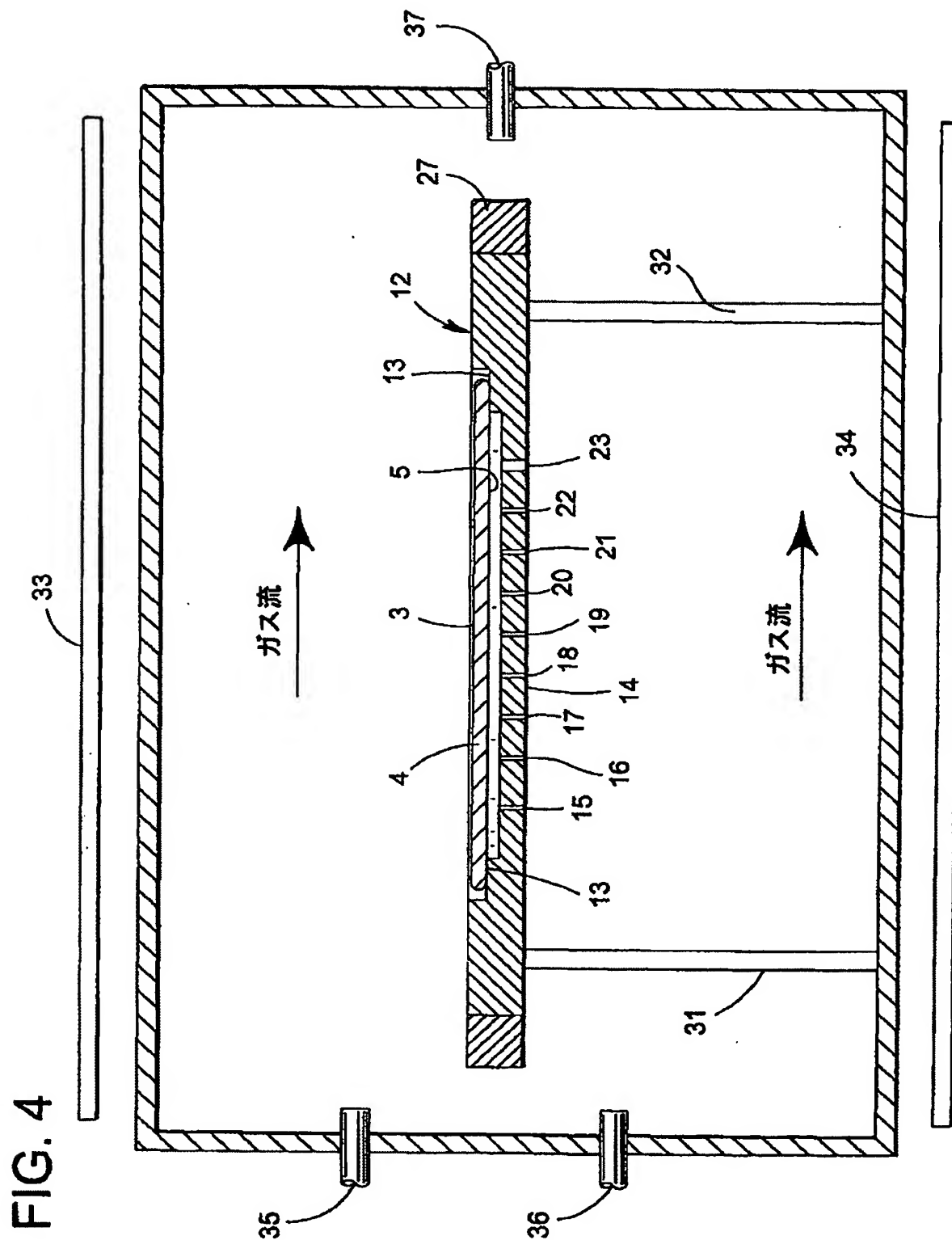


FIG. 3

[Drawing 4]



[Drawing 5]

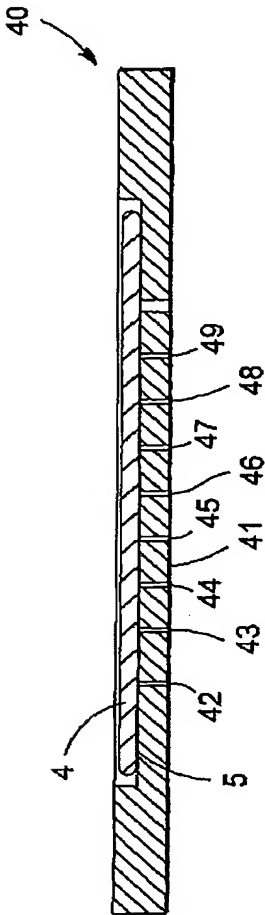
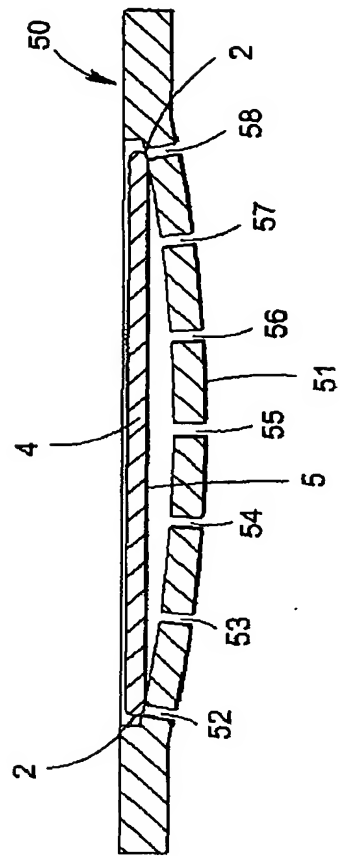


FIG. 5

[Drawing 6]

FIG. 6

[Drawing 7]



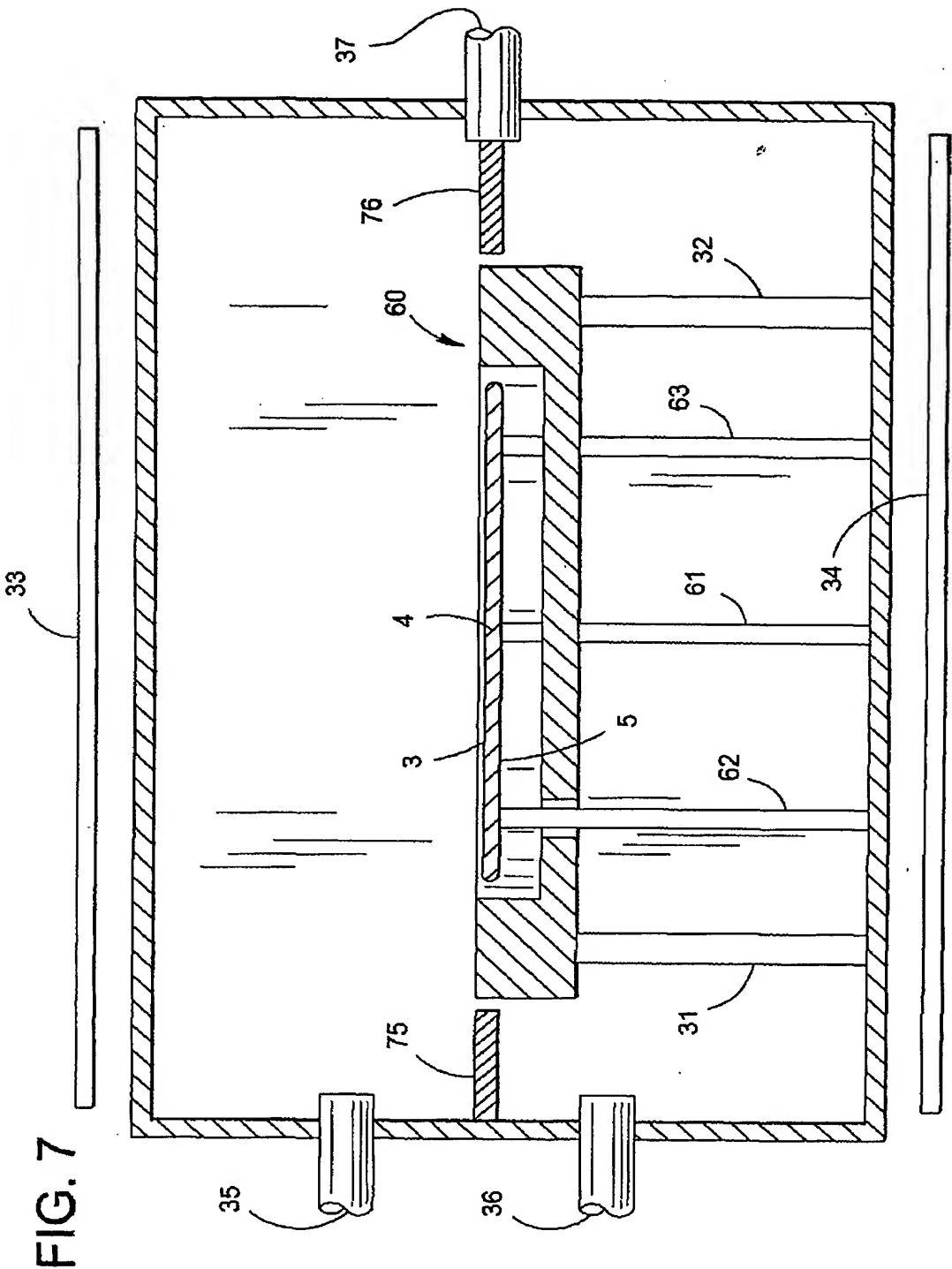
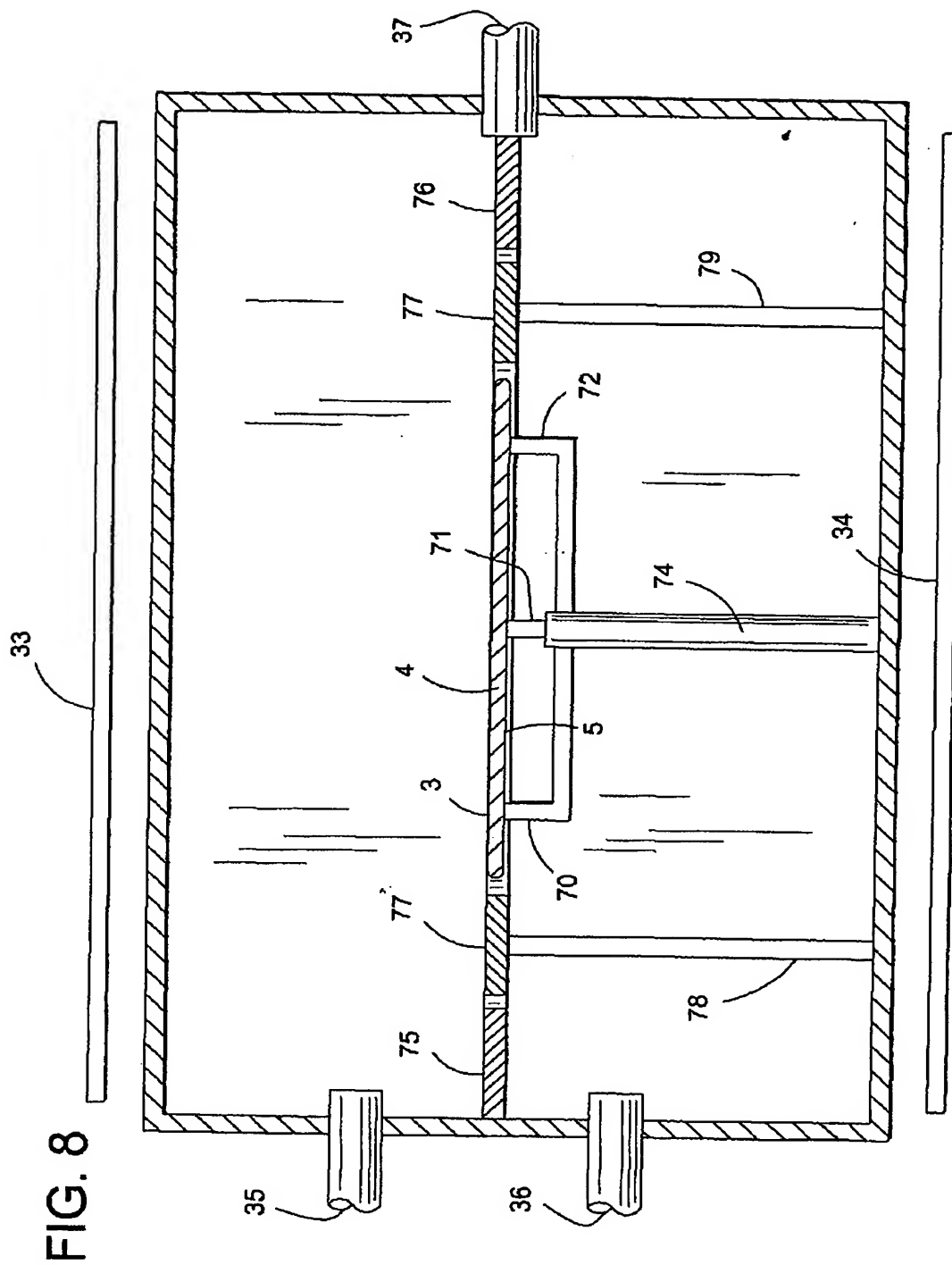


FIG. 7

[Drawing 8]



[Drawing 9]

FIG. 9

[Drawing 10]

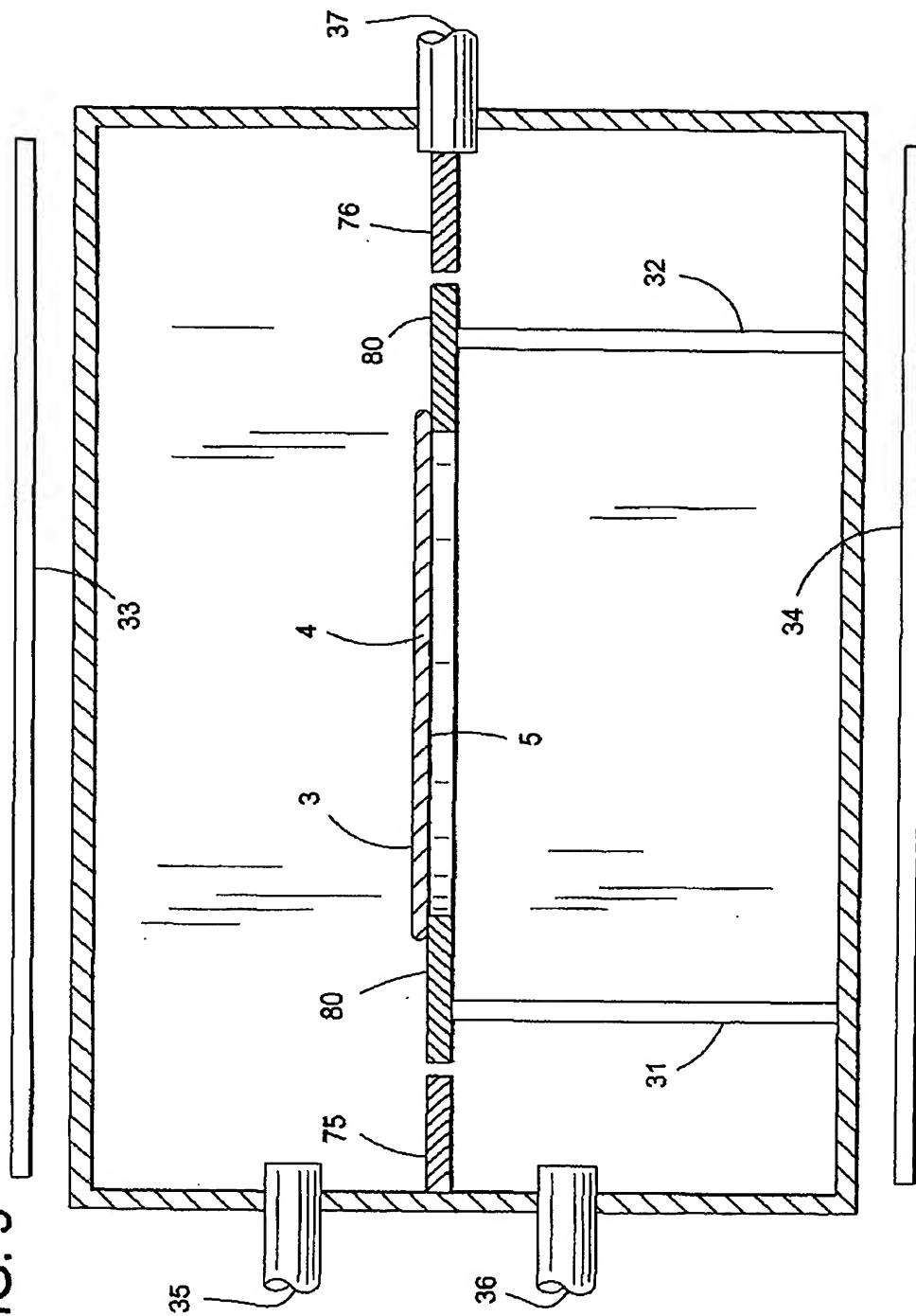


FIG. 10

[Drawing 11]

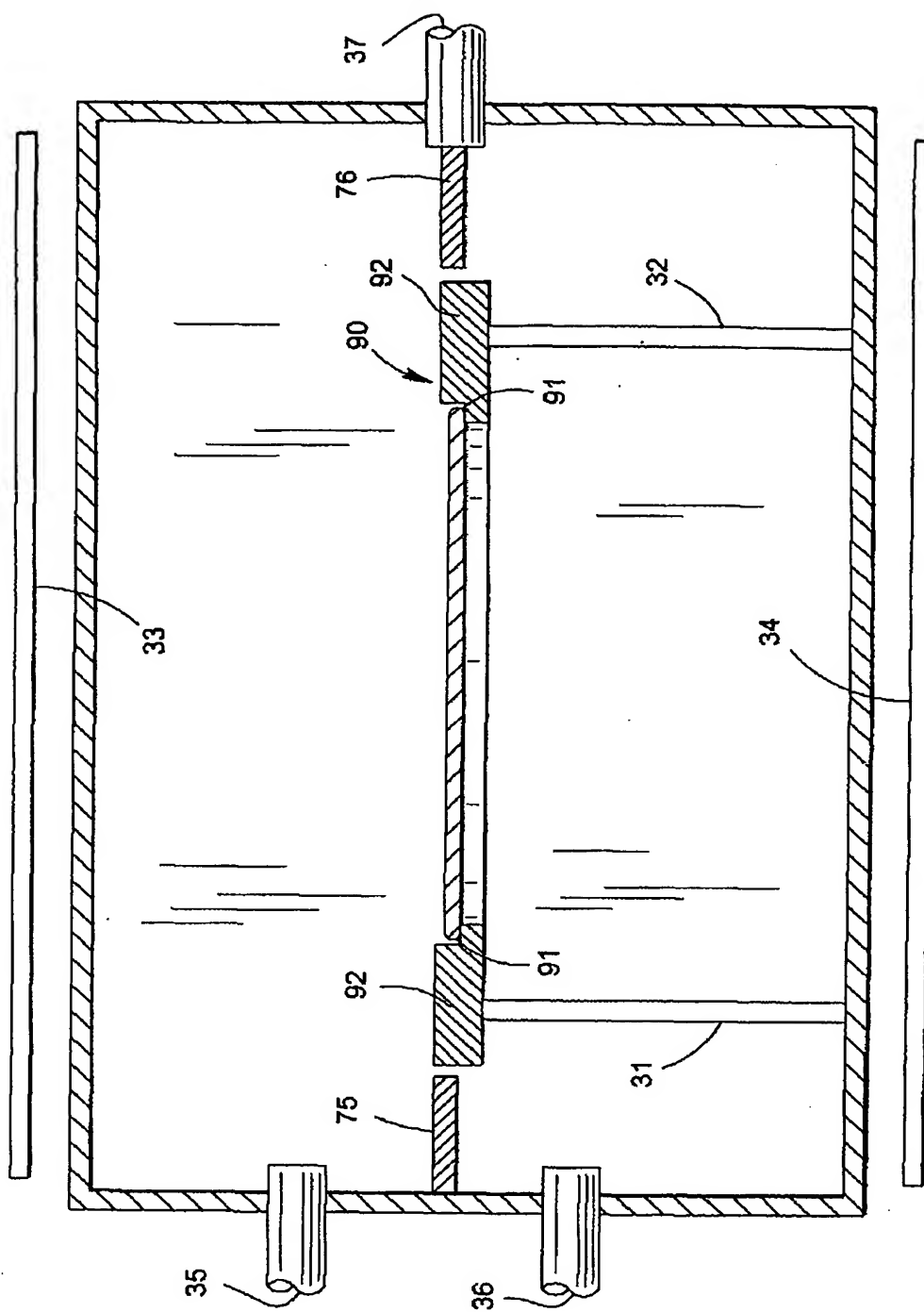
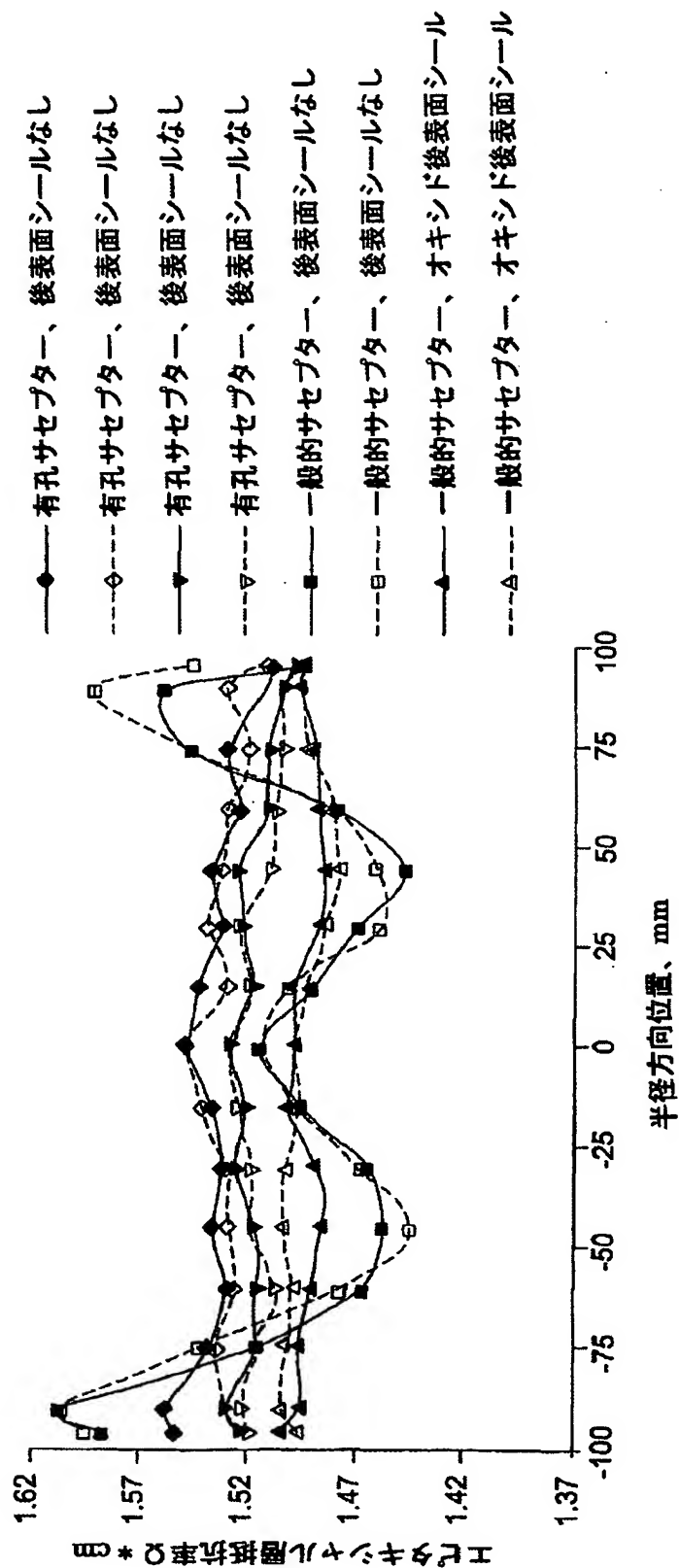


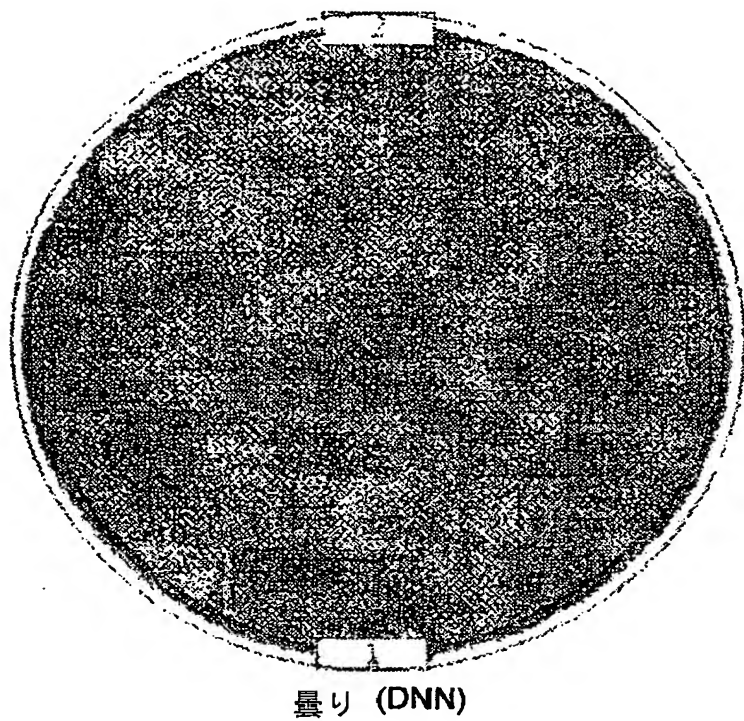
FIG. 11

200mmエピタキシャル層半径方向抵抗率プロファイル

(P/P⁺⁺、5~10mΩ cm 基材、4mm線除外)

[Drawing 12 A]

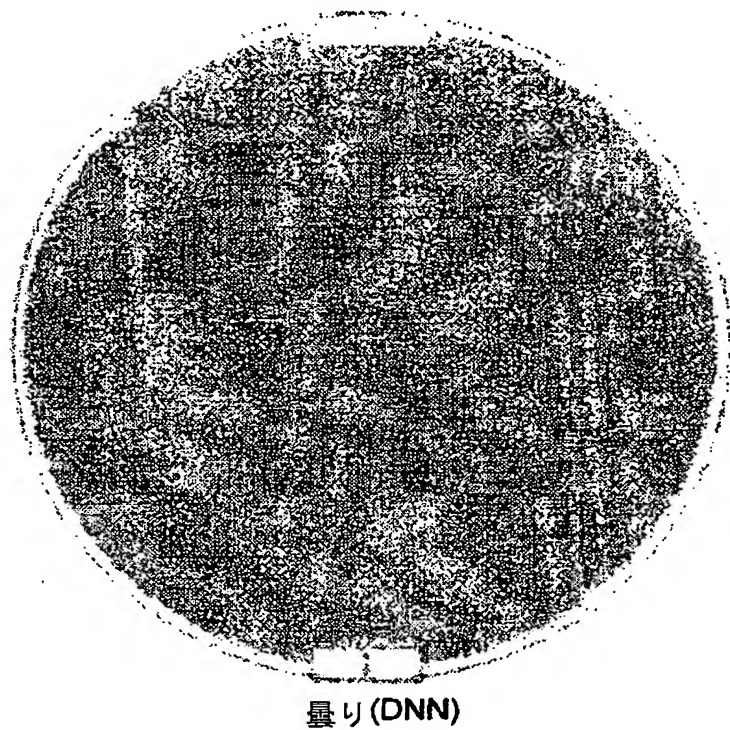
FIG. 12A



曇り (DNN)

[Drawing 12 B]

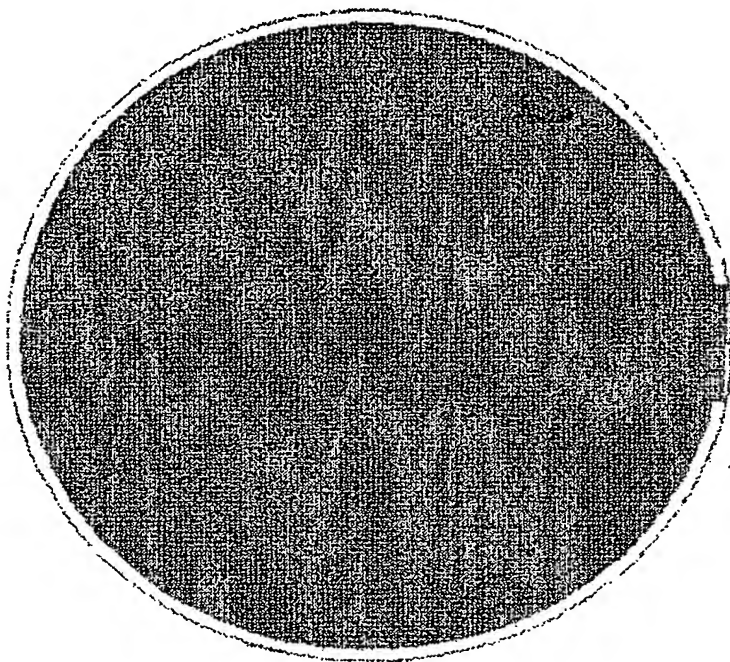
FIG. 12B



曇り (DNN)

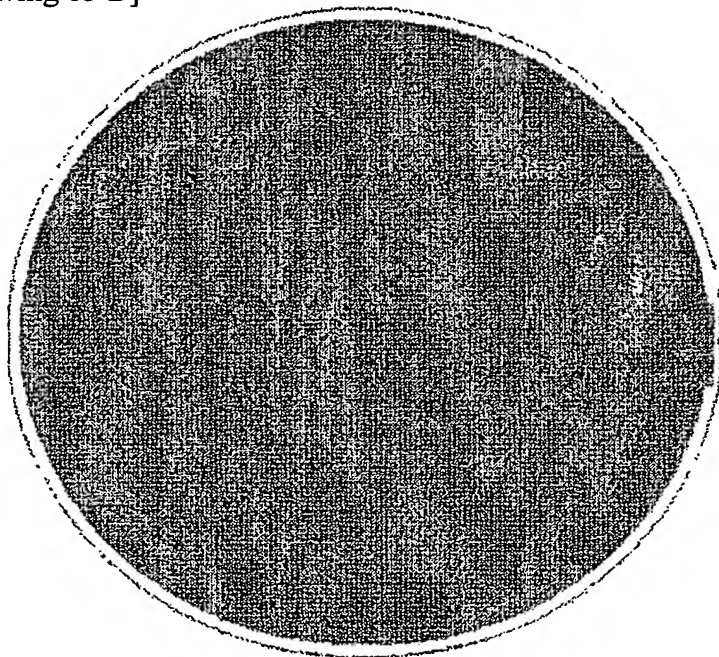
[Drawing 13 A]

FIG. 13A

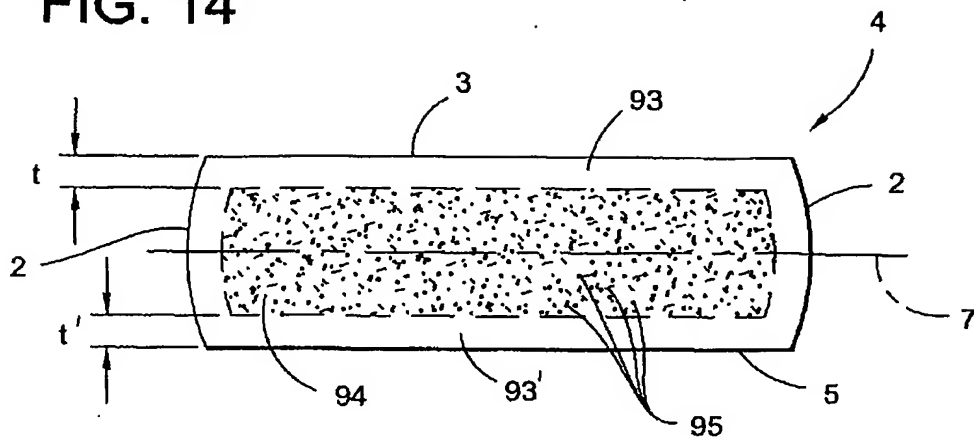


[Drawing 13 B]

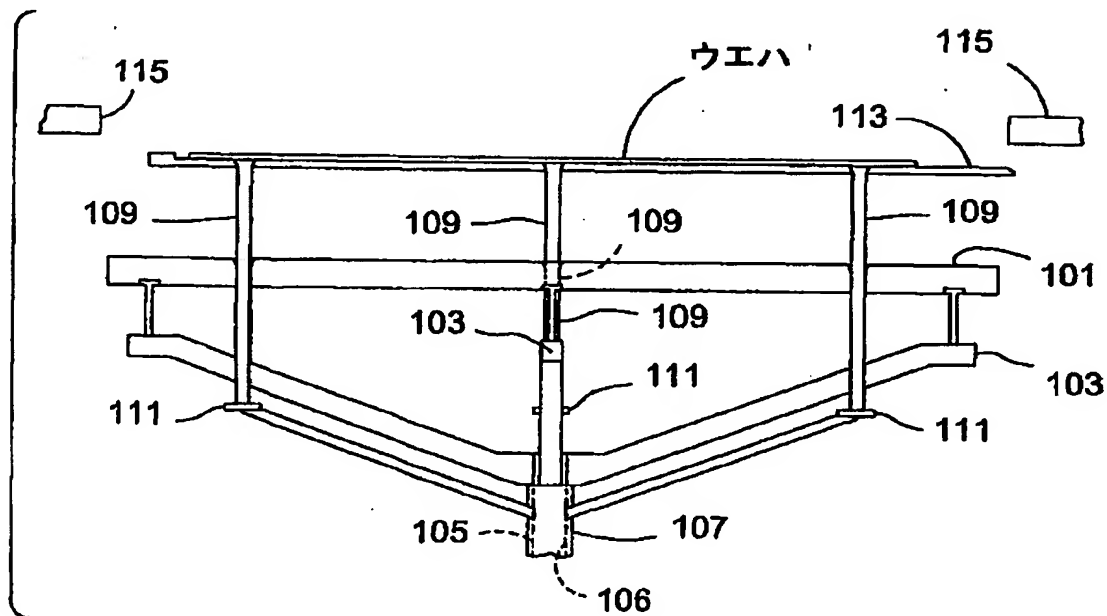
FIG. 13B



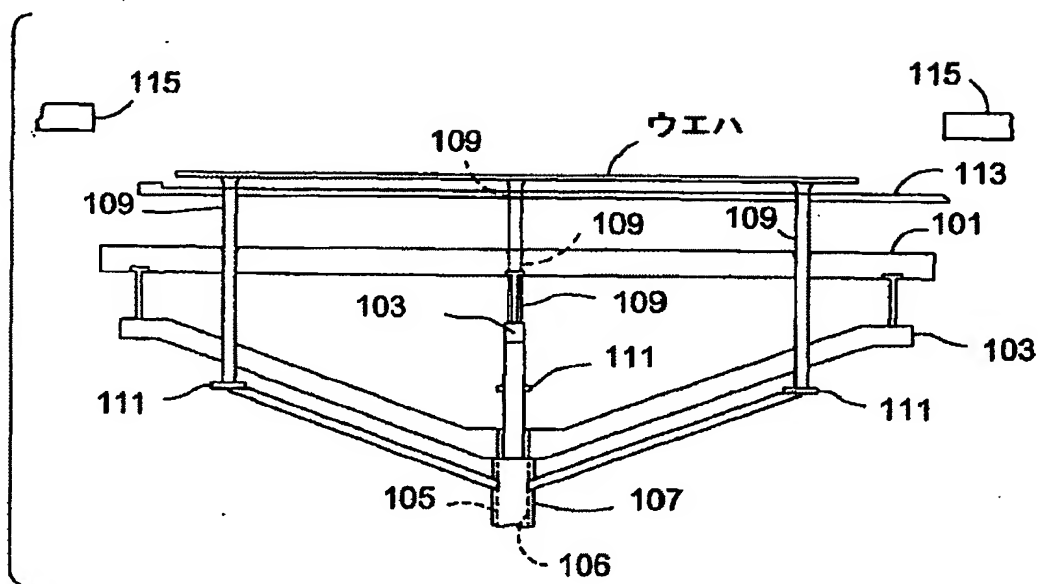
[Drawing 14]

FIG. 14

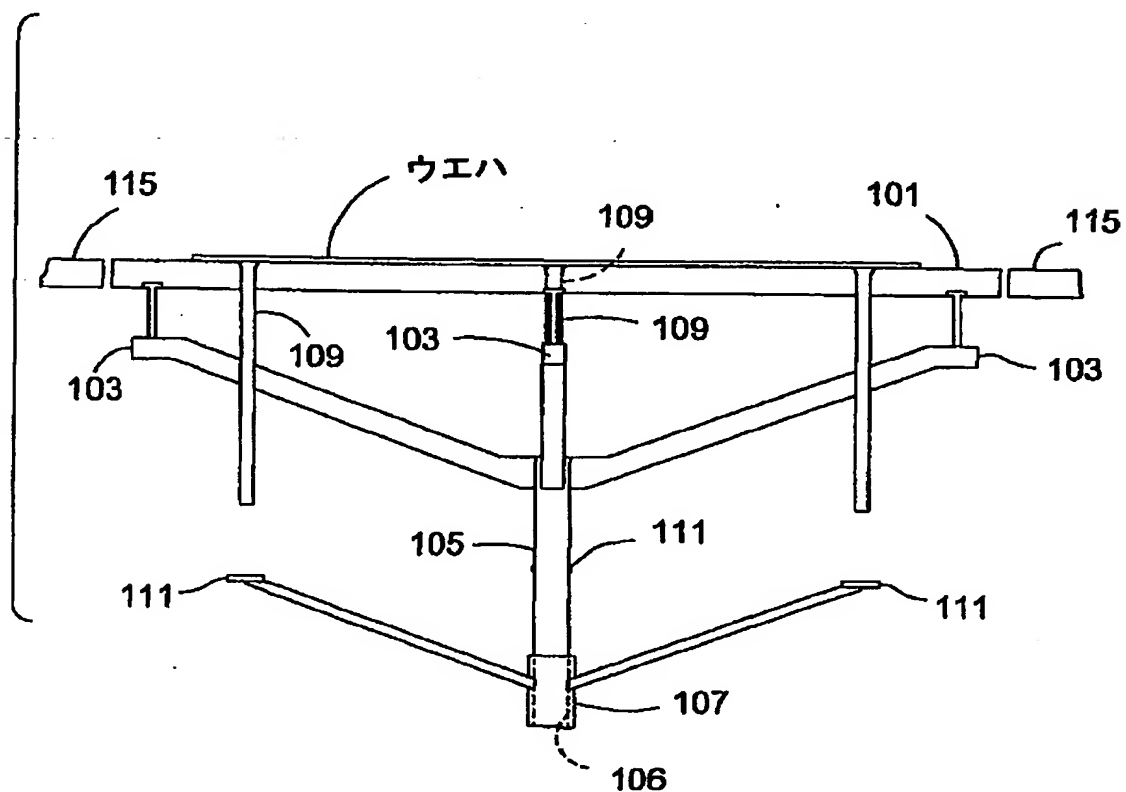
[Drawing 15]

FIG. 15

[Drawing 16]

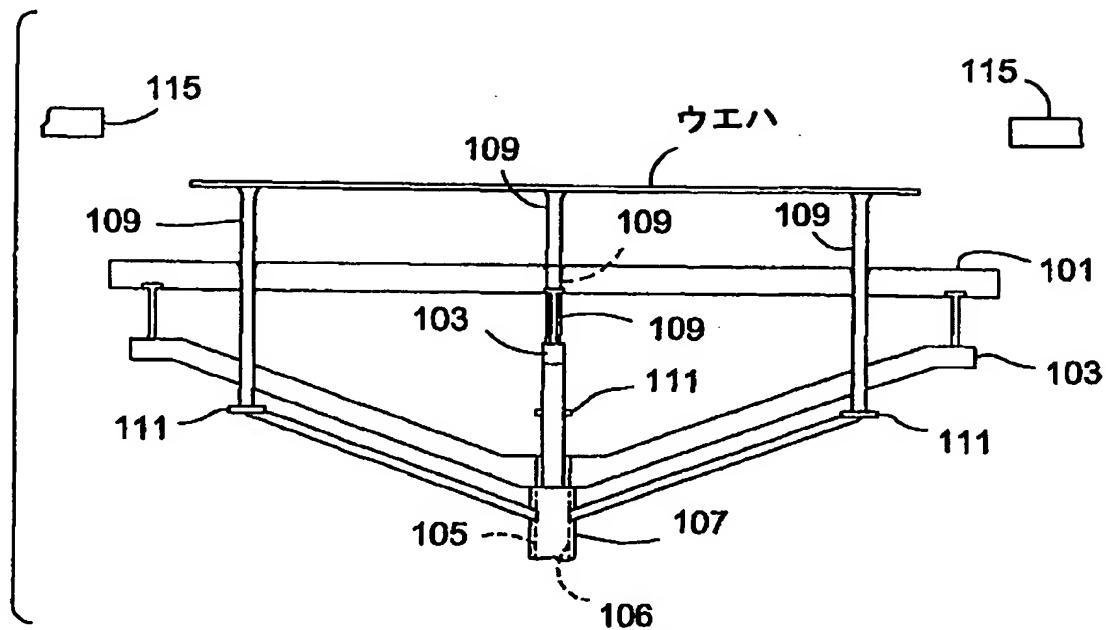
FIG. 16

[Drawing 17]

FIG. 17

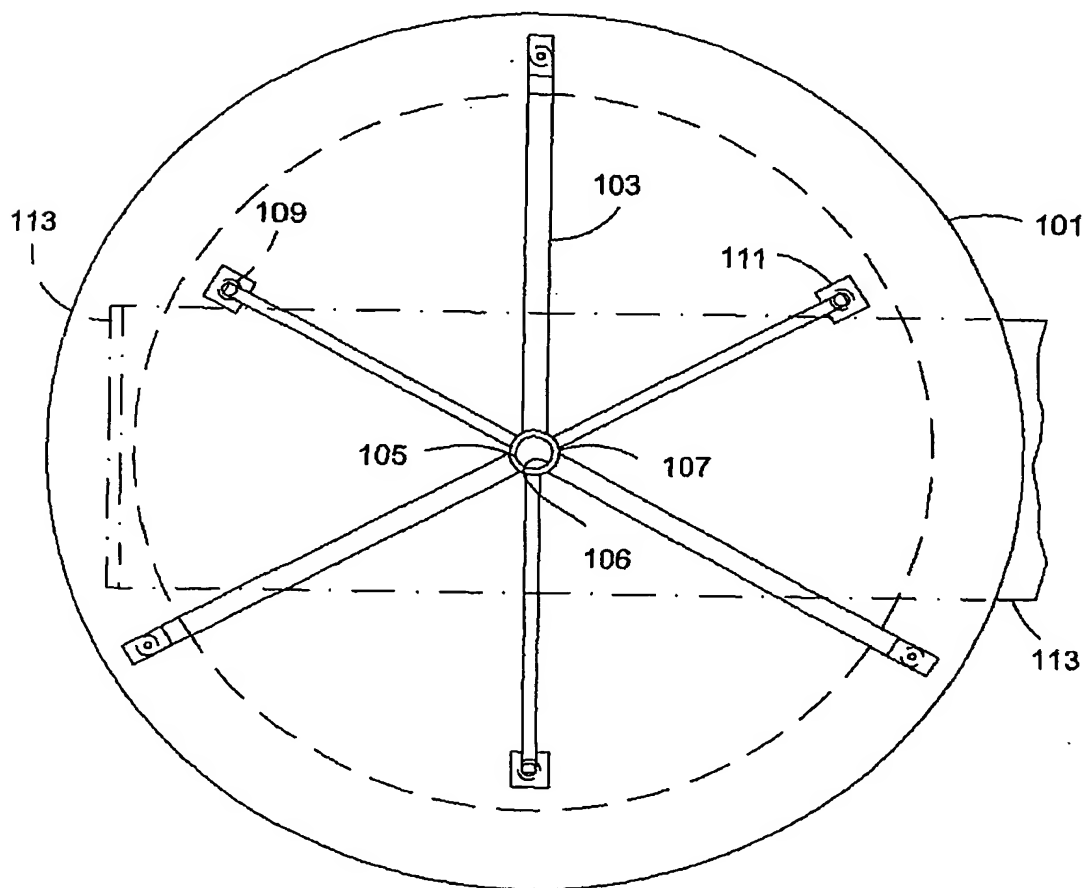
[Drawing 18]

FIG. 18



[Drawing 19]

FIG. 19



[Translation done.]

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CORRECTION OR AMENDMENT

[Kind of official gazette] Printing of amendment by the convention of 2 of Article 17 of Patent Law
 [Section partition] The 1st partition of the 3rd section
 [Publication date] January 5, Heisei 18 (2006. 1.5)

[Official announcement number] ** table 2003-532612 (P2003-532612A)
 [Official announcement day] November 5, Heisei 15 (2003. 11.5)
 [Application number] Application for patent 2001-582618 (P2001-582618)
 [International Patent Classification]

C30B 29/06 (2006.01)
C23C 16/458 (2006.01)
C30B 25/12 (2006.01)
H01L 21/205 (2006.01)

[FI]

C30B 29/06 A
 C30B 29/06 504 A
 C23C 16/458
 C30B 25/12
 H01L 21/205

[Procedure revision]
 [Filing Date] June 8, Heisei 17 (2005. 6.8)
 [Procedure amendment 1]
 [Document to be Amended] Specification
 [Item(s) to be Amended] Claim
 [Method of Amendment] Modification
 [The contents of amendment]
 [Claim(s)]

[Claim 1] It is a single crystal silicon wafer,
 The silicon wafer base material with which it is a front front face and a back front face almost perpendicular to a medial axis and a medial axis, a perimeter edge, and the silicon wafer base material that has the radius which extends on the perimeter edge of a wafer from a medial axis, and this back front face does not have an oxide seal, and does not have a chemical-vacuum-deposition process induction halo substantially, but this silicon wafer base material changes including P type or an N type dopant atom; it reaches.

Epitaxial silicon layer of which resistivity is an epitaxial silicon layer on the front front face of the silicon wafer base material substantially characterized by the axial symmetry field which extends outward in radial on the perimeter edge from a uniform medial axis, the radius of a silicon wafer base material is [the radius of this axial symmetry field] about 80% at least, and this epitaxial silicon layer consists including P type or an N type dopant atom;

The single crystal silicon wafer which **** and changes.

[Claim 2] The single crystal silicon wafer according to claim 1 with which a front front face and a back front face have a specular gloss.

[Claim 3] The single crystal silicon wafer according to claim 1 from which the resistivity of an axial symmetry field changes at less than about 10%.

[Claim 4] The single crystal silicon wafer according to claim 1 from which the resistivity of an axial

symmetry field changes at less than about 2%.

[Claim 5] The single crystal silicon wafer of the radius of a silicon wafer base material according to claim 1 whose radius of an axial symmetry field is about 90% at least.

[Claim 6] The single crystal silicon wafer according to claim 1 whose radius of an axial symmetry field is about 100% of a radius of a silicon wafer base material.

[Claim 7] The single crystal silicon wafer according to claim 1 which is the thickness whose epitaxial silicon layer is about 0.1 micrometers - about 200 micrometers.

[Claim 8] The single crystal silicon wafer according to claim 1 which is the thickness whose epitaxial silicon layer is about 2 micrometers - about 30 micrometers.

[Claim 9] The single crystal silicon wafer according to claim 7 characterized by the epitaxial silicon layer with the 0.5mm x 0.5mm nano topography which is less than about 1% of the thickness of an epitaxial silicon layer.

[Claim 10] The single crystal silicon wafer according to claim 7 characterized by the epitaxial silicon layer with the 2mm x 2mm nano topography which is less than about 1% of the thickness of an epitaxial silicon layer.

[Claim 11] The single crystal silicon wafer according to claim 7 characterized by the epitaxial silicon layer with the 10mm x 10mm nano topography which is less than about 3% of the thickness of an epitaxial silicon layer.

[Claim 12] The single crystal silicon wafer according to claim 1 with which a silicon wafer base material and an epitaxial silicon layer have the electrical resistivity of about 100-ohmcm - about 0.005-ohmcm.

[Claim 13] The single crystal silicon wafer according to claim 1 which a silicon wafer base material has the electrical resistivity of about 0.01-ohmcm - about 0.03-ohmcm, and has the electrical resistivity whose epitaxial silicon layer is about 1-ohmcm - about 20-ohmcm.

[Claim 14] The single crystal silicon wafer according to claim 1 which a silicon wafer base material has the electrical resistivity of about 0.005-ohmcm - about 0.01-ohmcm, and has the electrical resistivity whose epitaxial silicon layer is about 1-ohmcm - about 20-ohmcm.

[Claim 15] A silicon wafer base material

Midplane parallel to the front front face and back front face between a front front face and a back front face;

The front surface layer which consists of a front front face including the field of the wafer which extends in the distance D1 of about 10 micrometers at least toward midplane; it reaches.

Bulk layer which consists of midplane including the field of the wafer which extends in a front surface layer;

It has and grows into a pan and; silicon wafer base material,

It has ununiformity distribution of a crystal-lattice hole, and in this distribution, (a) bulk layer has crystal-lattice hole concentration higher than a front surface layer, it has the concentration profile in which (b) crystal-lattice hole has the peak concentration of a crystal-lattice hole midplane or near the midplane, and concentration of (c) crystal-lattice hole is characterized by decreasing mostly toward the front front face of a wafer from the location of peak concentration.;

A single crystal silicon wafer according to claim 1.

[Claim 16] The single crystal silicon wafer according to claim 15 whose D1 is about 50 micrometers - about 100 micrometers.

[Claim 17] A silicon wafer base material

Midplane parallel to the front front face and back front face between a front front face and a back front face;

The front surface layer which consists of a front front face including the field of the wafer which extends in the distance D1 of about 10 micrometers at least toward midplane; it reaches.

Bulk layer which consists of midplane including the field of the wafer which extends in a front surface layer;

It has and grows into a pan and; silicon wafer base material,

It has ununiformity distribution of an oxygen sludge, and in this distribution, (a) bulk layer has oxygen sludge concentration higher than a front surface layer, it has the concentration profile in which (b) oxygen sludge has the peak concentration of an oxygen sludge midplane or near the midplane, and concentration of (c) oxygen sludge is characterized by decreasing mostly toward the front front face of a wafer from the location of peak concentration.;

A single crystal silicon wafer according to claim 1.

[Claim 18] The single crystal silicon wafer according to claim 17 whose D1 is about 50 micrometers - about 100 micrometers.

[Procedure amendment 2]

[Document to be Amended] Specification

[Item(s) to be Amended] 0018

[Method of Amendment] Modification

[The contents of amendment]

[0018]

When drawing 1 is referred to, the single crystal silicon wafer 1 has the wafer base material 4 with desirable having the radius 9 which extends on the perimeter edge 2, and consists of the perimeter edge joined to the virtual midplane (virtual longitudinal plane of symmetry) 7, the front front face 3, and the back front face 5 between the front front face 3 and the back front face 5 almost perpendicular to a medial axis 8 and this medial axis, a front front face, and a back front face, and a medial axis. A back front face does not have an oxide seal. Since a silicon wafer generally has some all thickness change (TTV), distortion, and curves, the central point between all the points on a front front face and all the points on a back front face should be strictly noticed about not becoming a flat surface. However, in fact, since there are generally very little all thickness change, distortion, and deflection, it can be said very in approximation that the central point becomes a front front face and a back front face mostly in equidistant virtual midplane.

[Procedure amendment 3]

[Document to be Amended] Specification

[Item(s) to be Amended] 0019

[Method of Amendment] Modification

[The contents of amendment]

[0019]

A wafer is made to contain one kind or the dopant beyond it, and the property of various requests can be given to a wafer. For example, a wafer can be a P type wafer (namely, the element from the 3rd group of the periodic table, for example, boron, aluminum, a gallium and an indium, the wafer most generally doped by boron), or an N type wafer (namely, the element from the 5th group of the periodic table, for example, phosphorus, an arsenic, antimony, the wafer most generally doped by phosphorus). As for a wafer, it is desirable that it is the P type wafer which has the resistivity of about 100-ohmcm - about 0.005-ohmcm. About the silicon which doped boron, the aforementioned resistivity value corresponds to the dopant concentration of abbreviation 1.33×10^{14} atom / cm³ - abbreviation 2×10^{19} atom / cm³, respectively. In an especially desirable embodiment, a wafer is a P type wafer (generally it is P -- it is called silicon) which has the resistivity of about 20-ohmcm - about 1-ohmcm. In other especially desirable embodiments, a wafer is a P type wafer (generally called P++-silicon) which has the resistivity of about 0.01-ohmcm - 0.005-ohmcm. In other especially desirable embodiments, a wafer is a P type wafer (generally called P+-silicon) which has the resistivity of about 0.03-ohmcm - 0.01-ohmcm.

[Procedure amendment 4]

[Document to be Amended] Specification

[Item(s) to be Amended] 0043

[Method of Amendment] Modification

[The contents of amendment]

[0043]

Reference of drawing 3 shows the plan of the perforated susceptor 12 which has the inner annular shelf 13 and the porous front face 14 which has two or more holes. The perforated susceptor used for the reactor which has back surface wafer handling also needs the wafer lift pinholes 23, 24, and 25 on the porous front face 14, and they enable the lift pin under the perforated susceptor 12 (not shown) to carry or lift a silicon wafer between epitaxial vacuum evaporation processes and to the back at the perforated susceptor 12. The marginal ring 27 (see drawing 4) surrounds the perimeter of the perforated susceptor 12, and ensures temperature homogeneity in a silicon wafer. Generally the marginal ring 27 has a diameter larger about 4cm - about 10cm than the perforated susceptor 12.

[Procedure amendment 5]

[Document to be Amended] Specification

[Item(s) to be Amended] 0046

[Method of Amendment] Modification

[The contents of amendment]

[0046]

Reference of drawing 4 shows the epitaxial reaction chamber 30 used between the epitaxial growth processes which use the perforated susceptor 12 of this invention. The perforated susceptor 12 is attached in the rotation supports 31 and 32, and is made into the magnitude and the gestalt which support the silicon wafer base material 4 on the inside annular shelf 13 between epitaxial vacuum evaporation processes. The silicon wafer base material 4 has the relation which opened the holes 15, 16, 17, 18, 19, 20, 21, and 22 and spacing of the porous front face 14 of the perforated susceptor 12. The lift pinhole 23 enables it to contact the silicon wafer base material 4 through the porous front face 14 of the perforated susceptor 12, by it, before an epitaxial vacuum evaporation process and to the back, the silicon wafer base material 4 can be carried at the perforated susceptor 12, or a lift pin (not shown) can raise it. The epitaxial vacuum evaporation room 30 also has the upper part of the perforated susceptor 12, and the thermolamp arrays 33 and 34 for heating between the epitaxial vacuum evaporation processes arranged caudad, respectively. Gas inlets 35 and 36 enable installation of the clarification gas between the preliminary printing phases of an epitaxial vacuum evaporation process, by it, can introduce clarification gas into the upper part of the silicon wafer base material 4, and a lower part, and can raise removal of the natural oxide on the front front face 3 of the silicon wafer base material 4, and the front face 5 of back. A gas inlet 35 introduces the source gas of silicon content which flows the upper part of the silicon wafer base material 4, and a gas inlet 36 introduces hydrogen or inert gas under the silicon wafer base material 4, the flash plate of the back front face 5 of the silicon wafer base material 4 is carried out, and it is made for an out-diffusion dopant atom not to go to a front front face between epitaxial growth steps. As shown in drawing 4, it is desirable that the gas introduced into the epitaxial vacuum evaporation room flows in parallel with the front front face and back front face of a silicon wafer (however, an parallel flow pattern is not required). It makes it possible for the introduced gas to contact a front front face, and for such a flow pattern to pass a susceptor through the hole on the front face of a susceptor, and to contact the back front face of a wafer. or [that possibility that a silicon wafer will be lifted and will deform from an annular shelf by the gas which exudes between the edge of a wafer and the edge of an annular shelf since gas flows in parallel with a silicon wafer and it does not flow perpendicularly decreases notably] -- or it is removed. The gas introduced into ** 30 from gas inlets 35 and 36 is removed from the epitaxial vacuum evaporation room 30 through an outlet 37.

[Procedure amendment 6]

[Document to be Amended] Specification

[Item(s) to be Amended] 0053

[Method of Amendment] Modification

[The contents of amendment]

[0053]

1. Pin Support

One embodiment of an open type wafer support device has at least three pins which extend from a rotation support like the device used for Steag(trademark) SHS3000 quick heat Annie Ra, and changes, and this pin touches the back front face of a wafer by the inside of the perimeter edge of a wafer, and supports a wafer between epitaxial growth processes. Reference of drawing 8 shows the epitaxial reaction chamber 30 used between the epitaxial growth processes which use a pin support of this invention. Three pins 70, 71, and 72 are attached in the rotation support 74, and are made into the magnitude and the gestalt which support the silicon wafer base material 4 between epitaxial vacuum evaporation processes. The epitaxial vacuum evaporation room 30 also has the upper part of the wafer base material 4, and the thermolamp arrays 33 and 34 for heating between the epitaxial vacuum evaporation processes arranged caudad, respectively. Gas inlets 35 and 36 enable installation of the clarification gas between the preliminary baking phases of an epitaxial vacuum evaporation process, and clarification gas is introduced into the upper part of the silicon wafer base material 4, and a lower part by it, and they raise the natural oxide removal on the front front face 3 of the silicon wafer base material 4, and the front face 5 of back by it. A gas inlet 35 introduces the source gas of silicon content which flows the upper part of the wafer base material 4, and a gas inlet 36 introduces hydrogen or inert gas under the wafer base material 4, the flash plate of the back front face 5 of the silicon wafer base material 4 is carried out, and it is made for an out-diffusion dopant atom not to go to the front front face 3 between epitaxial growth steps. It also has ***** 75 and 76, it changes, and the epitaxial vacuum evaporation room 30 raises separation of the vacuum evaporation gas from purge gas. The marginal ring 77 also has and changes on a stanchion 78 and 79, and the epitaxial vacuum evaporation room 30 raises the temperature homogeneity on the front face of a wafer.

[Procedure amendment 7]

[Document to be Amended] Specification

[Item(s) to be Amended] 0060

[Method of Amendment] Modification

[The contents of amendment]

[0060]

I. Proper (in thorin chic) gettering single crystal silicon wafer

As mentioned above, the wafer manufactured using the Czochralski method has about 10 ppm - about 18 ppm oxygen density. Furthermore, depending on the cooling rate of a single-crystal-silicon ingot to about 750 degrees C - about 350 degrees C, an oxygen sludge nucleation core can be formed from the melting point (namely, about 1410 degrees C) of silicon. The heat treatment cycle generally used for manufacture of an electron device may also produce a deposit of oxygen in the silicon wafer of the supersaturation condition of oxygen. A sludge can become detrimentally and useful depending on the location in a wafer. The oxygen sludge which exists in the activity device field (namely, generally near a front face) of a wafer spoils the engine performance of a device. However, the oxygen sludge which exists in the bulk of a wafer can catch the metal impurity in contact with a wafer which is not desirable. In order to catch a metal, generally it is called the interior or proper gettering (IG) to use the oxygen sludge which exists in the bulk of a wafer.

[Procedure amendment 8]

[Document to be Amended] Specification

[Item(s) to be Amended] 0061

[Method of Amendment] Modification

[The contents of amendment]

[0061]

Historically, the production process of an electron device includes a series of phases designed so that the silicon wafer which has the remaining part (namely, wafer bulk) of the wafer containing the field (generally called "the DENYU Dead Zone (exposed region)" or "sludge non-*****") near the front face of the wafer which does not contain an oxygen sludge, and a sufficient number for the purpose of IG of oxygen sludges might be manufactured. An exposed region is formed among (a) inert gas in heat sequence of quantity-low-quantity like growth of the oxygen (SiO₂) sludge for example, in oxygen out-diffusion heat treatment in the elevated temperature (> 1100 degrees C) over about 4 hours, the oxygen sludge nucleation in (b) low temperature (600 degrees C - 750 degrees C), and the (c) elevated temperature (1000 degrees C - 1150 degrees C) at least. For example, F. Shimura Semiconductor Silicon Crystal Technology Refer to p.361-367 (Academic Press, Inc., San Diego CA, 1989) (and reference quoted by it).

[Procedure amendment 9]

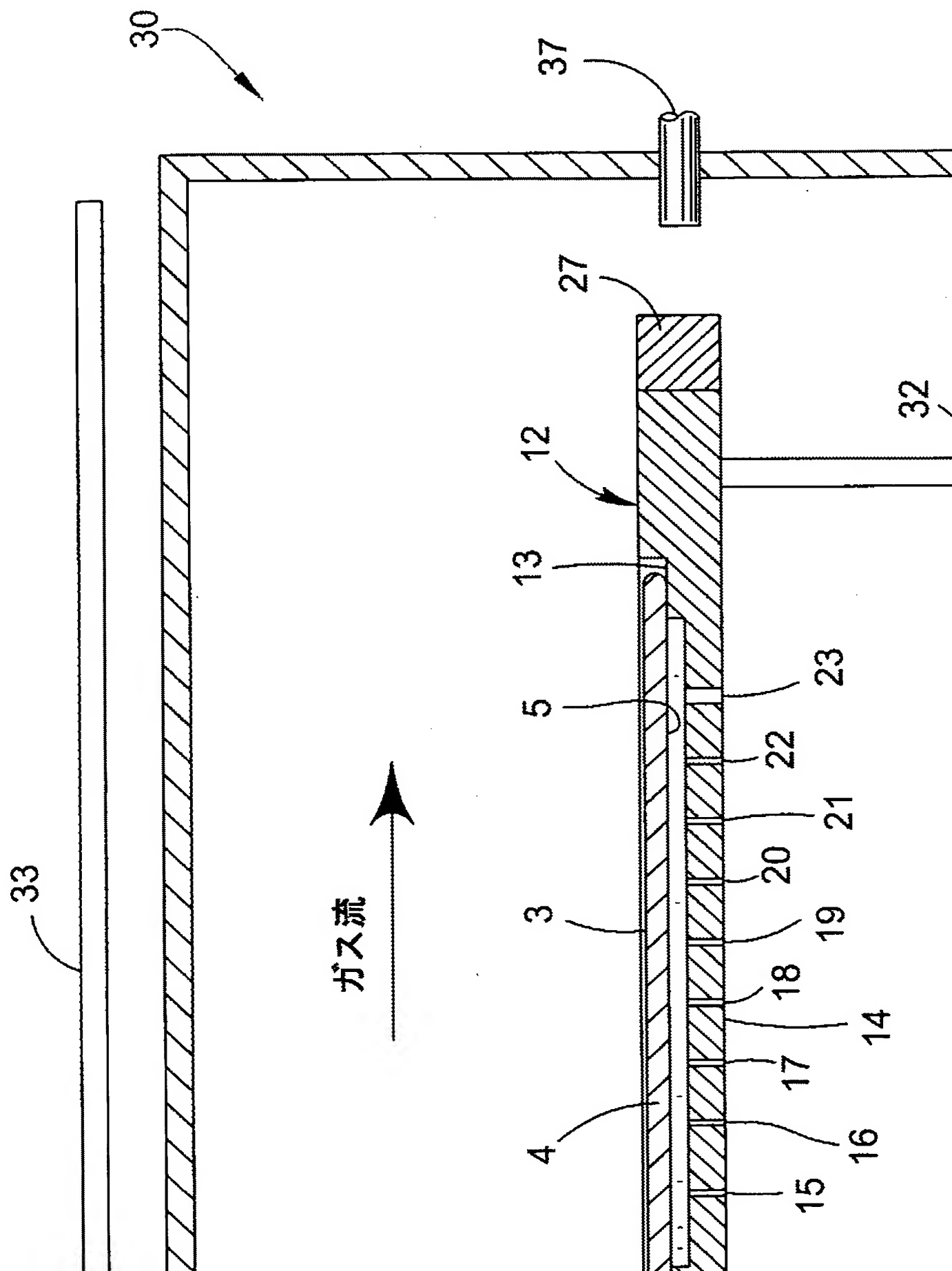
[Document to be Amended] DRAWINGS

[Item(s) to be Amended] drawing 4

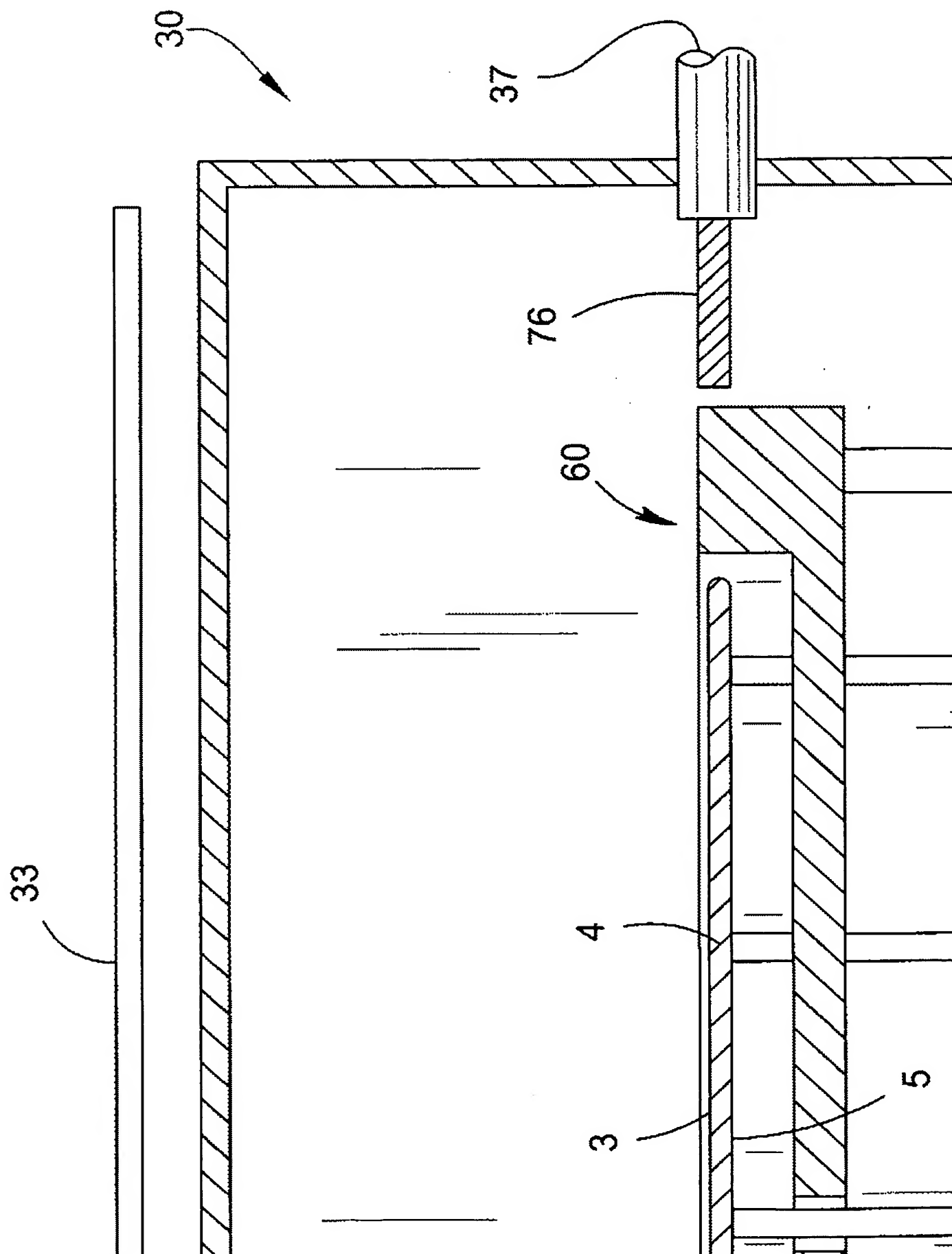
[Method of Amendment] Modification

[The contents of amendment]

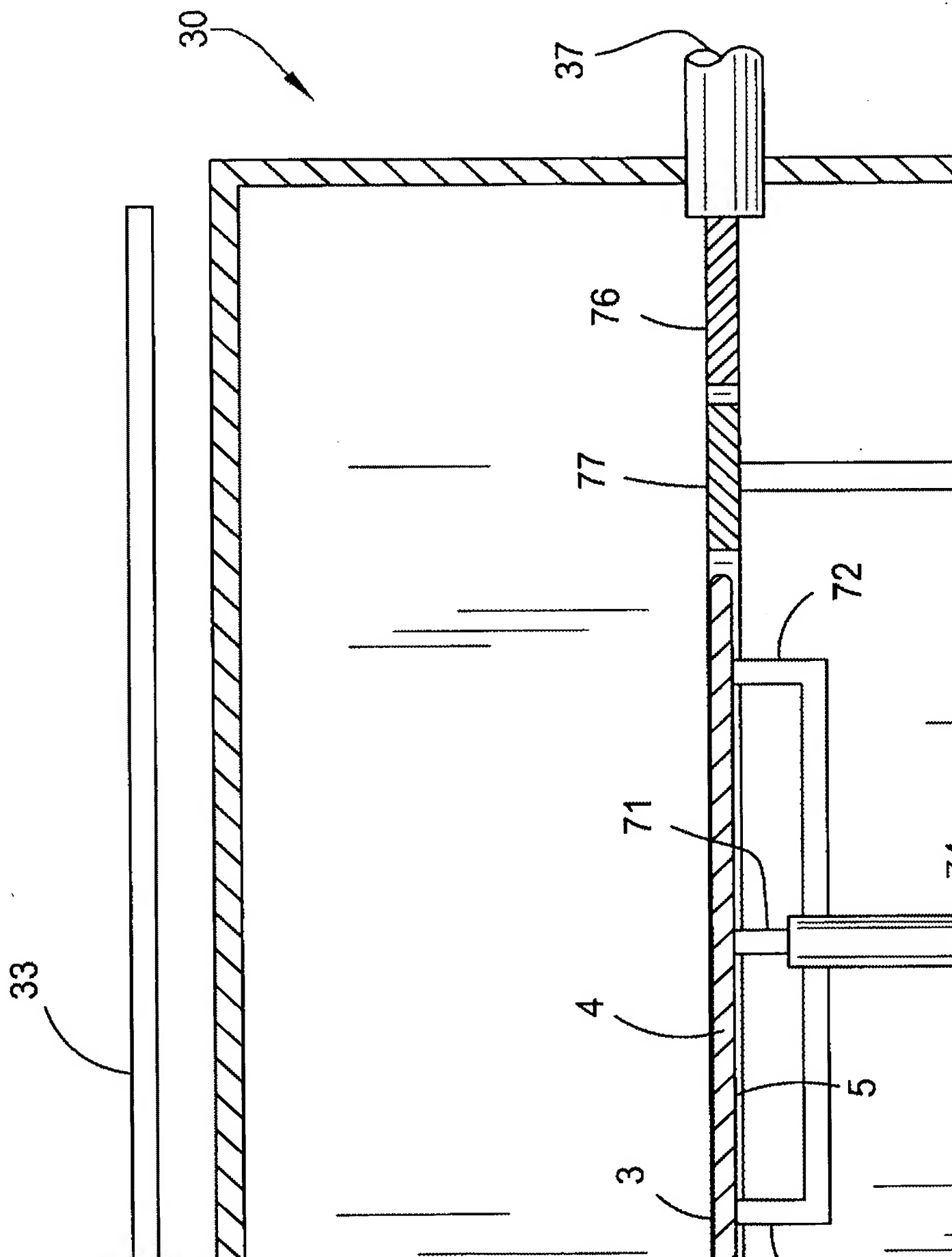
[Drawing 4]



[Procedure amendment 10]
[Document to be Amended] DRAWINGS
[Item(s) to be Amended] drawing 7
[Method of Amendment] Modification
[The contents of amendment]
[Drawing 7]



[Procedure amendment 11]
[Document to be Amended] DRAWINGS
[Item(s) to be Amended] drawing 8
[Method of Amendment] Modification
[The contents of amendment]
[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2003-532612

(P2003-532612A)

(43) 公表日 平成15年11月5日(2003.11.5)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
C 3 0 B 29/06	5 0 4	C 3 0 B 29/06	A 4 G 0 7 7
C 2 3 C 16/458		C 2 3 C 16/458	5 0 4 A 4 K 0 3 0
C 3 0 B 25/12		C 3 0 B 25/12	5 F 0 4 5
H 0 1 L 21/205		H 0 1 L 21/205	
審査請求 未請求 予備審査請求 有 (全 65 頁)			

(21) 出願番号 特願2001-582618(P2001-582618)
(86) (22) 出願日 平成13年4月23日(2001.4.23)
(85) 翻訳文提出日 平成14年11月8日(2002.11.8)
(86) 国際出願番号 PCT/US 01/13046
(87) 国際公開番号 WO 01/086035
(87) 国際公開日 平成13年11月15日(2001.11.15)
(31) 優先権主張番号 09/752,222
(32) 優先日 平成12年11月29日(2000.11.29)
(33) 優先権主張国 米国 (US)
(81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR, SG

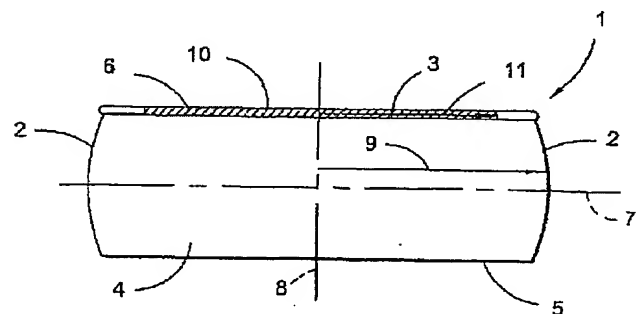
(71) 出願人 エムイーエムシー・エレクトロニック・マテリアルズ・インコーポレイテッド
MEMC ELECTRONIC MATERIALS, INCORPORATED
アメリカ合衆国63376ミズーリ州 セント・ピーターズ、パウル・ドライブ501番
(72) 発明者 マイケル・リーズ
アメリカ合衆国63304ミズーリ州セント・チャールズ、イーグル・ロック・コート4207番
(74) 代理人 弁理士 青山 葆 (外2名)

最終頁に続く

(54) 【発明の名称】 オートドーピングおよび後面ハローがないエピタキシャルシリコンウエハ

(57) 【要約】

オキシドシールを有さず、化学蒸着工程誘発ハローを実質的に有さない後表面、前表面上のエピタキシャルシリコン層を有する単結晶シリコンウエハであって、該エピタキシャル層が、ウエハの中心軸からウエハの周囲縁に向かって半径方向に外向きに延在する実質的に均一な抵抗率を有する軸対称領域を特徴とし、軸対称領域の半径がウエハの半径の少なくとも約80%である単結晶シリコンウエハ。



【特許請求の範囲】

【請求項1】 単結晶シリコンウエハであって、

中心軸、中心軸にほぼ垂直な前表面および後表面、周囲縁、および中心軸からウエハの周囲縁に延在する半径を有するシリコンウエハ基材であって、該後表面が、オキシドシールを有さず、化学蒸着工程誘発ハローを実質的に有さず、該シリコンウエハ基材がP型またはN型ドーパント原子を含んで成るシリコンウエハ基材；および

抵抗率が実質的に均一である、中心軸から周囲縁に半径方向に外向きに延在する軸対称領域を特徴とするシリコンウエハ基材の前表面上のエピタキシャルシリコン層であって、該軸対称領域の半径がシリコンウエハ基材の半径の少なくとも約80%であり、該エピタキシャルシリコン層がP型またはN型ドーパント原子を含んで成るエピタキシャルシリコン層；
を有して成る単結晶シリコンウエハ。

【請求項2】 前表面および後表面が鏡面光沢を有する請求項1に記載の単結晶シリコンウエハ。

【請求項3】 軸対称領域の抵抗率が約10%未満で変化する請求項1に記載の単結晶シリコンウエハ。

【請求項4】 軸対称領域の抵抗率が約5%未満で変化する請求項1に記載の単結晶シリコンウエハ。

【請求項5】 軸対称領域の抵抗率が約2%未満で変化する請求項1に記載の単結晶シリコンウエハ。

【請求項6】 軸対称領域の半径が、シリコンウエハ基材の半径の少なくとも約85%である請求項1に記載の単結晶シリコンウエハ。

【請求項7】 軸対称領域の半径が、シリコンウエハ基材の半径の少なくとも約90%である請求項1に記載の単結晶シリコンウエハ。

【請求項8】 軸対称領域の半径が、シリコンウエハ基材の半径の少なくとも約95%である請求項1に記載の単結晶シリコンウエハ。

【請求項9】 軸対称領域の半径が、シリコンウエハ基材の半径の約100%である請求項1に記載の単結晶シリコンウエハ。

【請求項10】 シリコンウエハ基材の半径が少なくとも約50mmである請求項1に記載の単結晶シリコンウエハ。

【請求項11】 シリコンウエハ基材の半径が少なくとも約75mmである請求項1に記載の単結晶シリコンウエハ。

【請求項12】 シリコンウエハ基材の半径が少なくとも約100mmである請求項1に記載の単結晶シリコンウエハ。

【請求項13】 シリコンウエハ基材の半径が少なくとも約150mmである請求項1に記載の単結晶シリコンウエハ。

【請求項14】 エピタキシャルシリコン層が約0.1 μm ～約200 μm の厚みである請求項1に記載の単結晶シリコンウエハ。

【請求項15】 エピタキシャルシリコン層が約1 μm ～約100 μm の厚みである請求項1に記載の単結晶シリコンウエハ。

【請求項16】 エピタキシャルシリコン層が約2 μm ～約30 μm の厚みである請求項1に記載の単結晶シリコンウエハ。

【請求項17】 エピタキシャルシリコン層が約3 μm の厚みである請求項1に記載の単結晶シリコンウエハ。

【請求項18】 エピタキシャルシリコン層が、エピタキシャルシリコン層の厚みの約1%未満である0.5mm x 0.5mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項19】 エピタキシャルシリコン層が、エピタキシャルシリコン層の厚みの約0.7%未満である0.5mm x 0.5mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項20】 エピタキシャルシリコン層が、エピタキシャルシリコン層の厚みの約0.3%未満である0.5mm x 0.5mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項21】 エピタキシャルシリコン層が、エピタキシャルシリコン層の厚みの約1%未満である2mm x 2mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項22】 エピタキシャルシリコン層が、エピタキシャルシリコン層

の厚みの約0.7%未満である2mm x 2mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項23】 エピタキシャルシリコン層が、エピタキシャルシリコン層の厚みの約0.3%未満である2mm x 2mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項24】 エピタキシャルシリコン層が、エピタキシャルシリコン層の厚みの約3%未満である10mm x 10mmナノトポグラフィーを特徴とする請求項14に記載の単結晶シリコンウエハ。

【請求項25】 エピタキシャルシリコン層が、約60nm未満の2mm x 2mmナノトポグラフィーを特徴とする請求項17に記載の単結晶シリコンウエハ。

【請求項26】 エピタキシャルシリコン層が、約40nm未満の2mm x 2mmナノトポグラフィーを特徴とする請求項17に記載の単結晶シリコンウエハ。

【請求項27】 エピタキシャルシリコン層が、約20nm未満の2mm x 2mmナノトポグラフィーを特徴とする請求項17に記載の単結晶シリコンウエハ。

【請求項28】 エピタキシャルシリコン層が、約10nm未満の2mm x 2mmナノトポグラフィーを特徴とする請求項17に記載の単結晶シリコンウエハ。

【請求項29】 シリコンウエハ基材およびエピタキシャルシリコン層が、約100Ωcm～約0.005Ωcmの電気抵抗率を有する請求項1に記載の単結晶シリコンウエハ。

【請求項30】 シリコンウエハ基材が約0.01Ωcm～約0.03Ωcmの電気抵抗率を有し、エピタキシャルシリコン層が約1Ωcm～約20Ωcmの電気抵抗率を有する請求項1に記載の単結晶シリコンウエハ。

【請求項31】 シリコンウエハ基材が約0.005Ωcm～約0.01Ωcmの電気抵抗率を有し、エピタキシャルシリコン層が約1Ωcm～約20Ωcmの電気抵抗率を有する請求項1に記載の単結晶シリコンウエハ。

【請求項32】 シリコンウエハ基材が、
前表面と後表面の間の、前表面および後表面に平行な、中心面；
前表面から中心面に向かって少なくとも約10μmの距離D₁で延在するウエハの領域を含んで成る前表面層；および

中心面から前表面層に延在するウエハの領域を含んで成るバルク層；
をさらに有して成り；シリコンウエハ基材が、

結晶格子空孔の不均一分布を有し、該分布において、(a) バルク層が、前表面層より高い結晶格子空孔濃度を有し、(b) 結晶格子空孔が、中心面に、または中心面の近くに、結晶格子空孔のピーク濃度を有する濃度プロファイルを有し、(c) 結晶格子空孔の濃度が、ピーク濃度の位置からウエハの前表面に向かってほぼ減少することを特徴とする；

請求項1に記載の単結晶シリコンウエハ。

【請求項33】 D_1 が約 $50\mu\text{m}$ ～約 $100\mu\text{m}$ である請求項32に記載の単結晶シリコンウエハ。

【請求項34】 シリコンウエハ基材が、
前表面と後表面の間の、前表面および後表面に平行な、中心面；
前表面から中心面に向かって少なくとも約 $10\mu\text{m}$ の距離 D_1 で延在するウエハの領域を含んで成る前表面層；および

中心面から前表面層に延在するウエハの領域を含んで成るバルク層；
をさらに有して成り；シリコンウエハ基材が、
酸素析出物の不均一分布を有し、該分布において、(a) バルク層が、前表面層より高い酸素析出物濃度を有し、(b) 酸素析出物が、中心面に、または中心面の近くに、酸素析出物のピーク濃度を有する濃度プロファイルを有し、(c) 酸素析出物の濃度が、ピーク濃度の位置からウエハの前表面に向かってほぼ減少することを特徴とする；

請求項1に記載の単結晶シリコンウエハ。

【請求項35】 D_1 が約 $50\mu\text{m}$ ～約 $100\mu\text{m}$ である請求項34に記載の単結晶シリコンウエハ。

【請求項36】 化学蒸着室において、シリコンウエハ基材上にエピタキシャルシリコン層を成長させる方法であって、該シリコンウエハ基材が前表面および後表面を有し、該方法が、

シリコンウエハ基材の前表面、およびシリコンウエハ基材の実質的に全後表面を、清浄ガスに接触させて、シリコンウエハ基材の前表面および後表面からオキ

シド層を除去し；

オキシド層を除去した後に、エピタキシャルシリコン層をシリコンウエハ基材の前表面に成長させ；および

エピタキシャルシリコン層の成長の間に、パージガスを化学蒸着室に導入して、エピタキシャルシリコン層に組み込まれた、シリコンウエハ基材の後表面からの外方拡散ドーパント原子の数を減少させる；
ことを含んで成る方法。

【請求項37】 清浄ガスが、水素、または水素／塩酸混合物である請求項36に記載の方法。

【請求項38】 パージガスが、窒素、アルゴン、水素、 SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 、 SiH_3Cl 、 SiH_4 、およびそれらの混合物から成る群から選択される請求項36に記載の方法。

【請求項39】 エピタキシャル層が約 $0.1\mu\text{m}$ ～約 $200\mu\text{m}$ の厚みである請求項36に記載の方法。

【請求項40】 エピタキシャル層が約 $1\mu\text{m}$ ～約 $100\mu\text{m}$ の厚みである請求項36に記載の方法。

【請求項41】 エピタキシャル層が約 $2\mu\text{m}$ ～約 $30\mu\text{m}$ の厚みである請求項36に記載の方法。

【請求項42】 エピタキシャル層が約 $3\mu\text{m}$ の厚みである請求項36に記載の方法。

【請求項43】 エピタキシャル層が、約60nm未満の $2\text{mm} \times 2\text{mm}$ ナノトポグラフィーを特徴とする請求項42に記載の方法。

【請求項44】 エピタキシャル層が、約40nm未満の $2\text{mm} \times 2\text{mm}$ ナノトポグラフィーを特徴とする請求項42に記載の方法。

【請求項45】 エピタキシャル層が、約20nm未満の $2\text{mm} \times 2\text{mm}$ ナノトポグラフィーを特徴とする請求項42に記載の方法。

【請求項46】 エピタキシャル層が、約10nm未満の $2\text{mm} \times 2\text{mm}$ ナノトポグラフィーを特徴とする請求項42に記載の方法。

【請求項47】 シリコンウエハ基材およびエピタキシャルシリコン層を有

して成る単結晶シリコンウエハを、少なくとも約1175℃の浸漬温度に加熱し；および

加熱したエピタキシャルウエハを、少なくとも約10℃/秒の速度で冷却する；ことをさらに含んで成る請求項36に記載の方法。

【請求項48】 加熱の間に、 O_2 を含んで成る酸化雰囲気、 H_2 を含んで成る還元雰囲気、またはArを含んで成る不活性雰囲気に、単結晶シリコンウエハを暴露する請求項47に記載の方法。

【請求項49】 冷却速度が少なくとも約15℃/秒である請求項47に記載の方法。

【請求項50】 ウエハを、浸漬温度から、浸漬温度より約150℃低い温度に冷却する際に、ウエハの平均冷却速度が少なくとも約15℃/秒である請求項47に記載の方法。

【請求項51】 冷却速度が少なくとも約20℃/秒である請求項47に記載の方法。

【請求項52】 ウエハを、浸漬温度から、浸漬温度より約150℃低い温度に冷却する際に、ウエハの平均冷却速度が少なくとも約20℃/秒である請求項47に記載の方法。

【請求項53】 冷却速度が少なくとも約50℃/秒である請求項47に記載の方法。

【請求項54】 ウエハを、浸漬温度から、浸漬温度より約150℃低い温度に冷却する際に、ウエハの平均冷却速度が少なくとも約50℃/秒である請求項47に記載の方法。

【請求項55】 エピタキシャルシリコン層をシリコンウエハ基材上に成長させる化学蒸着工程に使用される装置であって、該装置が、

シリコンウエハを支える大きさおよび形態にされたサセプターであって、該サセプターが、約0.2開口/cm²～約4開口/cm²の開口密度を有する表面を有し、該表面が、シリコンウエハとほぼ平行に向き合う関係にあつて、流体が該表面を通して流れて、シリコンウエハの後表面と流体とが接触しうるようにするサセプター；

を有して成る装置。

【請求項56】 サセプターによって支えられたシリコンウエハが、開口を有する表面と間隔を開けた関係にある請求項55に記載の装置。

【請求項57】 シリコンウエハが、サセプターの内環状棚によって支えられる請求項55に記載の装置。

【請求項58】 サセプターが、複数の開口を有する表面に、リフトピンホールを有して、リフトピンがサセプターを通り抜けることを可能にする請求項55に記載の装置。

【請求項59】 開口が約0.1mm～約3mmの直径を有する請求項55に記載の装置。

【請求項60】 開口が約0.1mm～約1mmの直径を有する請求項55に記載の装置。

【請求項61】 開口が約0.5mm～約1mmの直径を有する請求項55に記載の装置。

【請求項62】 開口が約2mm～約20mmの間隔をあけている請求項55に記載の装置。

【請求項63】 開口が約6mm～約15mmの間隔をあけている請求項55に記載の装置。

【請求項64】 該表面が約0.8開口/cm²～約1.75開口/cm²を有する請求項55に記載の装置。

【請求項65】 該表面における開口領域の合計パーセントが、約0.5%～約4%である請求項55に記載の装置。

【請求項66】 該表面における開口領域の合計パーセントが、約1%～約3%である請求項55に記載の装置。

【請求項67】 シリコンウエハを、開口を有する表面に直接的に載せる請求項55に記載の装置。

【請求項68】 エピタキシャル層をシリコンウエハ基材上に成長させるエピタキシャル蒸着工程に使用される装置であって、該シリコンウエハ基材が前表面および後表面を有し、該装置が、

室；

シリコンウエハ基材を支え、シリコンウエハ基材の前表面およびシリコンウエハ基材の実質的に全後表面と流体との接触を可能にする、ウエハ支持デバイス；

ウエハ支持デバイスおよびシリコンウエハ基材を支える回転手段；

発熱要素；

洗浄ガス、源ガス、およびパージガスを装置に入れるガス入口；および

洗浄ガス、源ガス、およびパージガスを装置から出すガス出口；

を有して成る装置。

【請求項69】 室仕切をさらに有して成る請求項68に記載の装置。

【請求項70】 ウエハ支持デバイスが、約0.5開口/cm²～約2開口/cm²の開口密度を有する表面を有するサセプターであり、該表面がシリコンウエハとほぼ平行に向き合う関係にあり、該開口が、それを通して流体が流れてシリコンウエハの実質的に全後表面と流体とが接触しうるようにする請求項68に記載の装置。

【請求項71】 サセプターによって支えられたシリコンウエハが、開口を有する表面と間隔を開けた関係にある請求項70に記載の装置。

【請求項72】 シリコンウエハが、サセプターの内環状棚によって支えられる請求項70に記載の装置。

【請求項73】 サセプターの周囲をかこむ縁リングをさらに有して成る請求項70に記載の装置。

【請求項74】 開口が約0.1mm～約3mmの直径を有する請求項70に記載の装置。

【請求項75】 開口が約0.1mm～約1mmの直径を有する請求項70に記載の装置。

【請求項76】 開口が約0.5mm～約1mmの直径を有する請求項70に記載の装置。

【請求項77】 開口が約2mm～約20mmの間隔を開けている請求項70に記載の装置。

【請求項78】 開口が約6mm～約15mmの間隔を開けている請求項70に記載

の装置。

【請求項79】 該表面が約0.8開口/cm²～約1.75mm開口/cm²を有する請求項70に記載の装置。

【請求項80】 該表面の開口領域の合計パーセントが約0.5%～約4%である請求項70に記載の装置。

【請求項81】 該表面の開口領域の合計パーセントが約1%～約3%である請求項70に記載の装置。

【請求項82】 ウエハ支持デバイスが、サセプターから延在する少なくとも3つのピンを有するサセプターであり、シリコンウエハが該ピン上に支えられる請求項68に記載の装置。

【請求項83】 サセプターの周囲をかこむ縁リングをさらに有して成る請求項82に記載の装置。

【請求項84】 ウエハ支持デバイスが少なくとも3つのピンを有して成る請求項68に記載の装置。

【請求項85】 シリコンウエハの周囲をかこむ縁リングをさらに有して成る請求項84に記載の装置。

【請求項86】 ウエハ支持デバイスがリング支えである請求項68に記載の装置。

【請求項87】 リング支えが、シリコンウエハを支える内環状棚、およびエピタキシャル蒸着の間に結晶スリップを調節する外環状部分を有して成る請求項86に記載の装置。

【発明の詳細な説明】

【0001】

(技術分野)

本発明は一般に、電子部品の製造に使用される半導体材料基材、特にシリコンウエハの製造に関する。本発明は特に、減少したオートドーピングおよびハローがない後表面を有するエピタキシャルシリコン層を有して成る単結晶シリコンウエハに関する。

【0002】

(背景技術)

チョクラスキー法で成長させる単結晶シリコンの製造において、先ず、多結晶シリコンを、ドーパントを使用するかまたは使用せず石英ルツボで溶融させる。多結晶シリコンが溶融し、温度が平衡に達した後に、種結晶をメルトに浸し、次に、石英ルツボを回転させながら引き上げて単結晶シリコンインゴットを形成する。次に、単結晶シリコンインゴットを個々のシリコンウエハにスライスし、それらを、ラッピング／研削、エッチングおよび研磨を包含するいくつかの処理工程にかけて、鏡面光沢の前表面を有する完成シリコンウエハを得る。前表面の研磨に加えて、多くのデバイス製造業者は、鏡面光沢の研磨後表面をも必要とする（そのようなウエハは一般に「両面研磨」と称される）。デバイス製造用の完成ウエハを製造するために、ウエハを、エピタキシャル蒸着工程のような化学蒸着工程にかけて、ウエハの前表面に一般に約 $0.1\mu\text{m}$ ～約 $200\mu\text{m}$ の厚さのシリコンの薄い層を形成し、それによって、デバイスをエピタキシャル層上に直接的に製造することができる。従来のエピタキシャル蒸着工程は、米国特許第5904769号および第5769942号に開示されている。

【0003】

エピタキシャル蒸着工程は一般に、2つの段階を含んで成る。第一段階において、シリコンを蒸着室に装填し、サセプターの上に降ろした後、ウエハの前表面を、水素または水素／塩酸混合物のような清浄ガスに約 1150°C で暴露して、「予備焼付け」し、シリコンウエハの前表面を清浄にし、該表面の自然オキシド（自然酸化物）を除去して、エピタキシャルシリコン層が前表面に連続的かつ均一に

成長することを可能にする。エピタキシャル蒸着工程の第二段階において、ウエハの前表面を、シランまたはトリクロロシランのような蒸気シリコン源に約800℃またはそれ以上で暴露して、前表面にシリコンのエピタキシャル層を蒸着させ、成長させる。エピタキシャル蒸着工程の両方の段階において、シリコンウエハをエピタキシャル蒸着室にサセプターによって維持し、該サセプターは、該工程の間に一般に回転して、エピタキシャル層の均一な成長を確実にする。サセプターは一般に高純度グラファイトから成り、グラファイトを完全に覆う炭化珪素層を有し、高温工程の間にグラファイトから周囲の環境に放出される鉄のような汚染物の量を減少させる。エピタキシャル成長工程において使用される一般的なサセプターは当分野で既知であり、米国特許第4322592号、第4496609号、第5200157号および第5242501号に開示されている。

【0004】

装填工程の間に、ウエハをサセプター上に降ろすと共に、ガスが従来のサセプターとウエハの間に捕捉され、その結果、ウエハが「浮動」し、意図しない位置においてサセプター上に滑り込む（例えば、窪んだ「ポケット」から部分的に出ている）。これは、不均一なエピタキシャル成長を生じうる。さらに、予備焼付け段階の間に、少量の清浄ガス、例えば水素が、ウエハとサセプターの間のウエハの縁の周囲、およびウエハとサセプターの間のスペースに滲出（effuse）しうる。ウエハの後表面をオキシド層でシールする場合（一般に約3000Å～約5500Åの厚み）、滲出水素がオキシド層と十分に反応せず、層にピンホールを形成するか、またはオキシド層を完全に除去する。後表面が、多くのデバイス製造業者によって所望されるエッチング（蝕刻）または研磨された表面であり、薄い自然オキシド層（一般に約15Å～約30Å）だけを有する場合、水素または水素／塩酸混合物は一般に、清浄ガスがウエハのまわりに滲出する場所である後表面の外縁の近くの自然オキシド層を完全に除去し、自然オキシド層にピンホール開口を形成し、エッチングがウエハの外縁から内側に移動すると共にシリコン表面を露出させる。これらのピンホールは一般に、ウエハの周囲縁の内側の環状領域に形成される。

【0005】

エピタキシャル蒸着工程の間に、少量のシリコン含有源ガスも、ウエハとサセプターの間のウエハの縁のまわり、およびウエハとサセプターの間のスペースに滲出する。ウエハの後表面がオキシドシールされている場合、シリコン皮膜の核形成および成長は実質的に抑制される。自然オキシド層が清浄ガスによって完全にエッチングされた領域において、シリコンの平滑連続層が成長する。しかし、清浄ガスが自然オキシド層を完全に除去していない領域においては、自然オキシド層のピンホールがシリコンウエハを露出させ、シリコン含有源ガスをピンホール内のシリコンに付着させ、エピタキシャル蒸着の間にウエハ後表面に不均一シリコン皮膜を形成させる。従って、自然オキシド層だけを有するエッチングまたは研磨後表面を有するウエハに関して、予備焼付け段階の間に自然オキシド層に形成されたピンホールは、後表面に、明るい照明下に曇って見える不連続シリコンの成長を生じうる。ウエハの後表面におけるこの曇り（もや）または「ハロー」は、約 $0.5\mu\text{m}$ の直径および約 10nm の高さのシリコンの小さい膨らみ（growths）または隆起（bumps）から成る。これらのシリコンの膨らみは、光を散乱させ、曇りを生じ、デバイス処理の間にウエハの後表面を検査する機械画像および光学高温測定システムを妨げるので好ましくないと考えられる。ハローは特に、明るい光の下、および、両面研磨ウエハの鏡面光沢後表面におけるレーザーサーフィススキャナーによって、肉眼で見ることができる（図12A参照）。これに対して、単表面研磨ウエハの比較的粗い後表面は、反射光の有意な程度の拡散散乱を生じ、ハローの発生を減少させる。

【0006】

エピタキシャルシリコン層の高温成長の間に出会う他の問題は、高温予備焼付けおよびエピタキシャル成長段階の際の、シリコンウエハの後表面におけるホウ素または燐のようなドーパント原子の外方拡散である。従来のサセプターの場合、後表面から外方拡散するドーパント原子は、ウエハの縁とサセプターの間に、ウエハの前表面に向かって滲出することができる。これらのドーパント原子は、成長しつつある蒸着層に組み込まれて汚染し、ウエハの縁の近くの抵抗率均一性を減少させる。シリコンウエハの後表面がオキシドシールされている場合、ドーパント原子は、後表面から実質的に外方拡散しない。しかし、エッチングまたは

研磨後表面を有するシリコンウエハは、エピタキシャル蒸着工程の間の後表面からのドーパント原子の外方拡散を受け、それによって、好ましくない前表面のオートドーピングを生じる。

【0007】

後表面ハローおよびオートドーピングを除去する試みに関して、いくつかの提案がなされている。後表面ハローを除去するために、Nakamura（日本国未審査特許出願第11-16844号）は、ウエハをエピタキシャル反応器に装填する10日前までに、後表面のフッ化水素ストリップおよび／または高温水素アニール工程を行うことを開示している。該方法は、処理工程を増やし、蒸着工程の複雑さおよびコストをかなり増加させる。Deatonら（米国特許第5960555号）は、パージガス流れをウエハの縁に誘導するウエハの縁に沿ったビルトインチャンネルを有するサセプターを使用することによって、前表面反応性源ガスが、ウエハ後表面に滲出するのを防止する方法を開示している。この方法は、現在のエピタキシャル蒸着室の実質的改変を必要とし、増加したパージガス流れを使用し、これによって、パージガスが前表面に漏出し、源ガスと混合し、得られたエピタキシャル皮膜を崩壊しうる。

【0008】

Hoshi（日本国未審査特許出願第11-87250号）は、オートドーピングを減少させるために、サセプターの縁で真空吸引して、サセプターの縁のフッ素ドーパントを排出し、オートドーピングを防止することを開示している。この方法は、ウエハの縁の均一性および厚さに影響を与え、現在のエピタキシャル蒸着システムに実質的な改変を加えることを必要とする。Nakamura（日本国特許出願第10-223545号）は、サセプターの縁に溝を有し、それによって、外方拡散したドーパント原子が、溝を通過して下に行き、排出管（exhaust）に入る改変サセプターを開示している。この方法も、かなりの量の蒸着ガスをウエハの後表面の下方に排出させ、前記のハロー作用ならびに排出システムの早期腐蝕および安全性の問題を生じうる。

【0009】

従って、現在、エピタキシャル蒸着工程の間の、シリコンウエハの後表面にお

けるハロー作用、および後表面からのドーパント外方拡散に関連したオートドーピング問題を抑制する方法は満足のゆくものではない。従って、半導体工業において、エピタキシャル蒸着工程の間の、ハロー作用、およびシリコンウエハの前表面の好ましくないオートドーピングを解決する簡単かつ原価効率的な方法が求められている。

【0010】

(発明の開示)

従って、本発明の目的は、(a) 気相オートドーピングによって本質的に影響を受けていないエピタキシャル表面を有し、(b) ハローがない後表面を有する、単結晶シリコンウエハを提供することである。

【0011】

従って、簡単に言えば、本発明は、中心軸、中心軸にほぼ垂直な前表面および後表面、周囲縁、および中心軸からウエハの周囲縁に延在する半径を有して成る単結晶シリコンウエハに関する。ウエハの後表面は、オキシドシールを有さず、化学蒸着工程によって誘発されるハローを実質的に有さない。さらに、シリコンウエハ基材は、P型またはN型ドーパント原子を含んで成る。単結晶シリコンウエハは、シリコンウエハ基材の前表面におけるエピタキシャルシリコン層をさらに有して成る。エピタキシャルシリコン層は、中心軸から周囲縁に向かって半径方向に外向きに延在する、抵抗率が実質的に均一な軸対称領域を特徴とする。軸対称領域の半径は、基材の半径の少なくとも約80%である。エピタキシャルシリコン層も、P型またはN型ドーパント原子を含んで成る。

【0012】

本発明は、化学蒸着室において、シリコンウエハ基材上にエピタキシャルシリコン層を成長させる方法にも関する。該方法は、シリコンウエハ基材の前表面、およびシリコンウエハ基材の実質的に全後表面を、清浄ガスに接触させて、シリコンウエハ基材の前表面および後表面からオキシド層を除去することを含んで成る。オキシド層を除去した後、シリコンウエハ基材の前表面にエピタキシャル層を成長させる。エピタキシャル層の成長の間に、パージガスを化学蒸着室に導入して、エピタキシャルシリコン層に組み込まれるシリコンウエハ基材の後表面か

らの外方拡散ドーパント原子の数を減少させる。

【0013】

本発明は、化学蒸着工程によってエピタキシャルシリコン層を成長させる間に、シリコンウエハを支持する装置にも関する。該装置は、サセプター上にシリコンウエハを支持する大きさおよび形態にされたサセプターを有して成る。サセプターは、シリコンウエハとほぼ平行に向き合う関係にある、約0.2開口/cm²～約4開口/cm²の開口密度を有する表面を有する。開口は、流体が該表面を通過して流れて、シリコンウエハの後表面と流体とが接触しうるようにする。

【0014】

本発明は、エピタキシャルシリコン層を、前表面および後表面を有するシリコンウエハ基材上に成長させる、エピタキシャル蒸着工程に使用される装置にも関する。該装置は、室、シリコンウエハ基材を支えるウエハ支持デバイス、ならびにウエハ支持デバイスおよびシリコンウエハ基材を支える回転手段を有して成る。ウエハ支持デバイスは、流体が、シリコンウエハ基材の前表面、およびシリコンウエハ基材の実質的に全後表面と接触することを可能にする。該装置は、発熱要素、清浄ガス、源ガスおよびパージガスを装置に入れるガス入口、および前記のガスを装置から出すガス出口をさらに有して成る。

【0015】

本発明の他の目的および特徴は、一部は明らかであり、一部は下記に示す。

【0016】

好ましい実施態様の詳細な説明

本発明によって、実質的にオートドーピングのない、エピタキシャルシリコン層を蒸着させた前表面、ならびにオキシドシールおよびハローのない後表面を有して成る単結晶シリコンウエハを開発した。

【0017】

A. シリコンウエハ基材

本発明の出発材料は、チョクラルスキー結晶成長法の一般的改変法によって成長させた単結晶インゴットからスライスした単結晶シリコンウエハ基材であるのが好ましい。酸素を含有しないウエハ基材が必要とされる場合、フロートゾー

ン (float-zone) 結晶成長法の一般的改変法によって成長させた単結晶インゴットから出発材料をスライスするのが好ましい。シリコンインゴットの成長、一般的シリコンスライシング、ラッピング、エッチングおよび研磨の方法は、当分野で既知であり、例えば、F. Shimura, Semiconductor Silicon Crystal Technology (Academic Press, 1989)、およびSilicon Chemical Etching (J. Grabmaier編、Springer-Verlag, New York, 1982) に記載されている。

【0018】

図1を参照すると、単結晶シリコンウエハ1は、中心軸8、該中心軸にほぼ垂直な前表面3および後表面5、前表面と後表面の間の仮想中心面7、前表面3および後表面5に接合する周囲縁、ならびに中心軸から周囲縁2に延在する半径9を有するのが好ましいウエハ基材4を有して成る。後表面は、オキシドシールを有さない。シリコンウエハは一般にいくらかの全厚み変化 (TTV)、歪みおよび湾曲を有するので、前表面上の全ての点と後表面上の全ての点の間の中心点は、厳密には平面にならないことに注意すべきである。しかし、実際には、全厚み変化、歪みおよび曲がり是一般に極めて少ないので、極めて近似的に、中心点は、前表面と後表面にほぼ等距離の仮想中心面になると言える。

【0019】

ウエハに1種類またはそれ以上のドーパントを含有させて、ウエハに種々の所望の特性を与えることができる。例えば、ウエハは、P型ウエハ (即ち、周期表の第3族からの元素、例えば、ホウ素、アルミニウム、ガリウムおよびインジウム、最も一般的にはホウ素でドーピングされたウエハ)、またはN型ウエハ (即ち、周期表の第5族からの元素、例えば、燐、ヒ素、アンチモン、最も一般的には燐でドーピングされたウエハ) であることができる。ウエハは、約 $100\Omega\text{cm}$ ～約 $0.005\Omega\text{cm}$ の抵抗率を有するP型ウエハであるのが好ましい。ホウ素をドーピングしたシリコンについては、前記の抵抗率値はそれぞれ約 2.7×10^{17} 原子/ cm^3 ～約 2×10^{19} 原子/ cm^3 のドーパント濃度に対応する。特に好ましい実施態様において、ウエハは、約 $20\Omega\text{cm}$ ～約 $1\Omega\text{cm}$ の抵抗率を有するP型ウエハ (一般にP-シリコンと称される) である。他の特に好ましい実施態様において、ウエハは、

約 $0.01\Omega\text{cm}$ ～ $0.005\Omega\text{cm}$ の抵抗率を有するP型ウエハ（一般にP⁺－シリコンと称される）である。他の特に好ましい実施態様において、ウエハは、約 $0.03\Omega\text{cm}$ ～ $0.01\Omega\text{cm}$ の抵抗率を有するP型ウエハ（一般にP⁺－シリコンと称される）である。

【0020】

チョクラルスキー法を使用して製造したウエハは、一般的に、約 5×10^{17} 原子/ cm^3 ～約 9×10^{17} 原子/ cm^3 （言い換えれば、約10ppm～約18ppm（即ち、ウエハ中の全原子1,000,000個につき、約10個～約18個の酸素原子）（ASTM標準規格F-121-80）、最も一般的には、約 6×10^{17} 原子/ cm^3 ～約 8.5×10^{17} 原子/ cm^3 （即ち、約12ppm～約17ppm）の酸素濃度を有する。

【0021】

B. エピタキシャルシリコン層

本発明によって製造される単結晶シリコンウエハは、エピタキシャルシリコン層を蒸着させた表面を有して成る。エピタキシャル層は、ウエハ全体に蒸着させてもよく、またはウエハの一部だけに蒸着させてもよい。図1を参照すると、エピタキシャル層10が、ウエハの前表面3、好ましくはウエハの前表面3全体に蒸着される。エピタキシャル層をウエハの他の部分に蒸着させるのが好ましいかどうかは、ウエハの意図する使用に依存する。大部分の用途において、ウエハの他の部分におけるエピタキシャル層の存在または不存在は限定されない。

【0022】

チョクラルスキー法によって製造したインゴットからスライスした単結晶シリコンウエハは、それらの表面に、結晶由来ピット（COP）を有する場合が多い。しかし、集積回路の製造に使用されるウエハは一般に、COPを本質的に有さない表面を有することが要求される。COPを本質的に有さない表面を有するウエハは、エピタキシャルシリコン層をウエハの表面に蒸着させることによって製造することができる。そのようなエピタキシャル層は、COPをふさぎ、最終的に平滑ウエハ表面を形成する。これは、最近の化学研究の論題である。Schmolkeら、The Electrochem. Soc. Proc.、第98-1巻、p. 855（1998）；Hirofumiら、Jpn. J. Appl. Phys.、第36巻、p. 3565（1997）参照。一般に、ウエ

ハ表面のCOPは、少なくとも約 $0.1\mu\text{m}$ のエピタキシャルシリコン層の厚みを使用することによって除去される。好ましくは、エピタキシャル層は約 $0.1\mu\text{m}$ 以上および約 $2\mu\text{m}$ 未満の厚みを有する。より好ましくは、エピタキシャル層は、約 $0.25\mu\text{m}$ ～約 $1\mu\text{m}$ 、最も好ましくは約 $0.5\mu\text{m}$ ～約 $1\mu\text{m}$ の厚みを有する。

【0023】

COPを除去することに加えて、別の目的にエピタキシャル層を使用する場合、そのような目的は、COPを除去するのに使用される好ましい厚みより厚いエピタキシャル層厚みを必要とすることもある。例えば、COPを除去することに加えて、ウエハ表面に電気的特性を付与するためにエピタキシャル層を使用する場合、エピタキシャル層の厚みは、最大約 $200\mu\text{m}$ である。一般に、電気的特性を付与するために蒸着されるエピタキシャル層の厚みは、約 $1\mu\text{m}$ ～約 $100\mu\text{m}$ 、好ましくは約 $2\mu\text{m}$ ～約 $30\mu\text{m}$ である。最少限の厚み（例えば約 $3\mu\text{m}$ ）で付加的所望作用を得るのが、より好ましい。

【0024】

エピタキシャル層の厚みは均一であるのが好ましい。ウエハの全表面における厚みの均一性は、目標の厚みの約1%未満～約5%未満であるのが好ましい。従って、目標の厚みが約 $3\mu\text{m}$ である場合、全ウエハ表面の厚みの変化は、約 30nm 未満～約 150nm 未満であるのが好ましい。より好ましくは、全ウエハ表面の厚みの変化は、約 30nm 未満～約 100nm 未満である。エピタキシャル層の厚みは、Fourier Transform赤外分光測定法（FTIR）を使用して、ウエハ表面のいくつかの点において一般に測定される。例えば、FTIRを使用して、ウエハの中心近く、および周囲縁に近い4点（例えば、周囲縁から内向きに $5\sim 10\text{mm}$ で約 90° 離れた点）で、エピタキシャル層の厚みを測定する。

【0025】

本発明のウエハを特徴付ける第二の方法は、「ナノトポグラフィー」と一般に称されるウエハの表面の高さの変化（局部表面領域における厚みの変化）である（例えば、ウエハ表面は、 $0.5\text{mm} \times 0.5\text{mm}$ 、 $2\text{mm} \times 2\text{mm}$ または $10\text{mm} \times 10\text{mm}$ の仮想正方形に分割しうる）。ナノトポグラフィーは主として、ラッピング、エッチングおよび研磨のようなウエハ処理によるが、エピタキシャル層の厚みの変化も

重大な原因である。フォトリソグラフィ（写真平版）の臨界特徴サイズが減少し続けると共に、シリコンウエハはより厳しいナノトポグラフィ基準を満たさなければならない（現在、最新技術の臨界特徴サイズは約 $0.15\mu\text{m}$ ～約 $0.18\mu\text{m}$ である）。エピタキシャルシリコン層のナノトポグラフィの変化は、その大部分が、エピタキシャル蒸着工程の間のウエハの不均一加熱によって生じるウエハにおける熱勾配によるものである。不均一加熱の重大な原因は、サセプターにおける比較的大きいリフトピンホールであり、該ピンホールはリフトピンホールの直ぐ上のウエハの領域を周囲の材料と異なる温度に加熱させる。リフトピンを構成する材料（例えば、グラファイト、炭化珪素および石英）も、リフトピンの上方のウエハの領域を異なる温度に加熱させる。温度差は、エピタキシャル層を異なる速度で成長させて、ピンマークとして一般に知られている局部的厚み変化（例えば、40nm、60nmまたはそれ以上）を生じる。

【0026】

本発明の1つの実施態様において、 $0.5\text{mm} \times 0.5\text{mm}$ 領域のナノトポグラフィは、好ましくは、エピタキシャル層の目標厚みの約1%未満、より好ましくは該目標厚みの約0.7%未満、さらに好ましくは該目標厚みの約0.3%未満である。従って、 $3\mu\text{m}$ のエピタキシャル層については、 $0.5\text{mm} \times 0.5\text{mm}$ 領域のナノトポグラフィは、好ましくは約30nm未満、より好ましくは約20nm未満、さらに好ましくは約10nm未満である。本発明の他の実施態様において、 $2\text{mm} \times 2\text{mm}$ 領域のナノトポグラフィは、好ましくは、エピタキシャル層の目標厚みの約1%未満、より好ましくは該目標厚みの約0.7%未満、さらに好ましくは該目標厚みの約0.3%未満である。他の実施態様において、 $10\text{mm} \times 10\text{mm}$ 領域のナノトポグラフィは、好ましくは、エピタキシャル層の目標厚みの約3%未満である。

【0027】

C. エピタキシャル成長工程

前記のように、エッチングした後表面を有する単表面研磨ウエハ、および両面研磨ウエハは、前表面および後表面に自然オキシド層を有する。本発明によれば、エピタキシャル蒸着工程は、エピタキシャル層を前表面に蒸着する前に、ウエハの前表面および実質的に全後表面から自然オキシド層を除去することを含む。

シリコンオキシド層の除去は、オキシダントを本質的に含有しない雰囲気（最も好ましくは、オキシダント不含雰囲気）において、シリコンオキシド層が表面から除去されるまでウエハの表面を加熱することによって行うのが好ましい。特に好ましい実施態様においては、ウエハの表面を少なくとも約1100℃の温度、より好ましくは少なくとも約1150℃の温度に加熱する。この加熱は、ウエハの全前表面および実質的に全後表面を、貴ガス（例えば、He、Ne、またはAr）、H₂、HFガス、HClガス、またはそれらの組合せを含んで成る清浄ガスに暴露しながら行うのが好ましい。より好ましくは、清浄ガスは、H₂、またはH₂とHClの組合せを含んで成る。最も好ましくは、清浄ガスは、H₂から本質的に成る。N₂を含有する雰囲気を使用してもよいが、そのような雰囲気は、次に行う表面へのエピタキシャル蒸着を妨げる窒化物を表面上に形成するのであまり好ましくないことに注意すべきである。清浄ガスの流量は、少なくとも約10秒間にわたって、一般に約1L/分～約50L/分であり、好ましくは約10L/分～約20L/分である。

【0028】

自然オキシド層を除去する清浄ガスへのウエハ後表面の暴露は、自然オキシド層のピンホールから生じるハロー作用を実質的に減少させるかまたは除去する。言い換えれば、エピタキシャル層を成長させる前に自然オキシドを除去することによって、ウエハ検査用の明るい光またはレーザーサーフィスキャナー下に肉眼でハローが見えないウエハ後表面を生じる。

【0029】

自然オキシド層の除去の前またはその間に、スリップを生じない速度でウエハを加熱するのが好ましい。特に、ウエハの加熱が速すぎる場合、熱勾配が生じ、該熱勾配は、ウエハ内の種々の表面を相互に対して持ち上げるのに十分な内部応力を生じる（即ち、スリップ）。約750℃～約800℃未満におけるウエハの急速加熱は、スリップの重大な原因ではないが、約800～900℃から約1150～1200℃へのウエハの急速加熱は、スリップを生じうる。軽度にドーピングされたウエハ（例えば、ホウ素でドーピングされ、約1Ωcm～約100Ωcmの抵抗率を有するウエハ）はスリップを特に受けやすいことが分かった。この問題を避けるために、約800～900℃から、シリコンオキシド除去温度に、約20℃/秒～約35℃/秒の平均速

度で、ウエハを加熱するのが好ましい。

【0030】

ウエハの前表面および後表面から自然オキシド層を除去した後、清浄ガスの流れを停止し、反応室の温度を約600℃～約1200℃、好ましくは少なくとも約1100℃、より好ましくは少なくとも約1150℃に調節する。次に、シリコン含有源ガスにウエハの前表面を接触させて、前表面にエピタキシャル層を蒸着させる。好ましくは、自然オキシドを除去してから30秒以内、より好ましくは、自然オキシド層を除去してから約20秒以内、最も好ましくは、自然オキシド層を除去してから約10秒以内で、前表面を源ガスに接触させる。シリコンオキシド層を除去した後、シリコン蒸着を開始するのを約10秒間待って、ウエハの温度を安定化し、均一にする。

【0031】

エピタキシャル蒸着は、化学蒸着によって行うのが好ましい。一般的に言えば、化学蒸着は、エピタキシャル蒸着反応器、例えば、EPI CENTURA（登録商標）反応器（Applied Materials, Santa Clara, CA）において、シリコンを含んで成る雰囲気（ウエハの表面を暴露することを含む。本発明の好ましい実施態様においては、シリコンを含有する揮発性ガス（例えば、 SiCl_4 、 SiHCl_3 、 SiH_2Cl_2 、 SiH_3Cl 、または SiH_4 ）を含んで成る雰囲気（ウエハの表面を暴露する。雰囲気は、キャリアガス（最も好ましくは H_2 ）も含有するのが好ましい。1つの実施態様において、エピタキシャル蒸着の間のシリコン源は、 SiH_2Cl_2 または SiH_4 である。 SiH_2Cl_2 を使用する場合、蒸着の間の反応器圧力は、約500～約760トルであるのが好ましい。 SiH_4 を使用する場合は、反応器圧力は約100トルであるのが好ましい。最も好ましくは、蒸着の間のシリコン源は SiHCl_3 である。これは、他のシリコン源よりかなり低価格である。さらに、 SiHCl_3 を使用するエピタキシャル蒸着は、大気圧において行うことができる。これは、真空ポンプを必要とせず、反応室を崩壊防止のために堅固にする必要がないので有利である。さらに、危険性がほとんどなく、反応室への空気漏れの可能性が少ない。

【0032】

エピタキシャル蒸着の間に、シリコンを含んで成る雰囲気が、多結晶シリコン

を表面に蒸着させるのを防止するのに十分な温度に、ウエハ表面の温度を維持するのが好ましい。一般に、この間の表面温度は、少なくとも約900℃であるのが好ましい。より好ましくは、表面温度を約1050～1150℃に維持する。最も好ましくは、表面温度をシリコンオキシド除去温度に維持する。

【0033】

大気圧下に蒸着を行う場合、エピタキシャル層の成長速度は、好ましくは約3.5 $\mu\text{m}/\text{分}$ ～約4.0 $\mu\text{m}/\text{分}$ であるのが好ましい。これは、例えば、約1050℃～1150℃の温度、約1L/分～約20L/分の流速で、約2.5モル%の SiHCl_3 および約97.5モル%の H_2 から本質的に成る雰囲気を使用することによって行うことができる。

【0034】

ウエハの意図する使用が、エピタキシャル層にドーパントを含有させることを必要とする場合、シリコンを含んで成る雰囲気もドーパントを含有するのが好ましい。例えば、エピタキシャル層がホウ素を含有するのが好ましい場合が多い。そのような層は、例えば、蒸着の間に雰囲気に B_2H_6 を導入することによって製造できる。所望の特性（例えば抵抗率）を得るのに必要とされる雰囲気における B_2H_6 のモル分率は、エピタキシャル蒸着の間の特定の基材からのホウ素の外方拡散の量、反応器および基材に汚染物として存在するP型ドーパントおよびN型ドーパントの量、ならびに反応器圧力および温度のようないくつかの要因に依存する。ウエハ基材と同様に、エピタキシャル層におけるドーパントの濃度を調節して、種々の抵抗率を得ることができる。例えば、約1125℃の温度、約1気圧の圧力で、約0.03ppmの B_2H_6 を含有する雰囲気（即ち、1,000,000モルの全ガスに対して約0.03モルの B_2H_6 ）を使用して、約10 Ωcm の抵抗率を有するエピタキシャル層が得られる。

【0035】

シリコンウエハの前表面をシリコン含有源ガスに接触させると同時に、パージガスを化学蒸着室に導入して、ウエハの前表面に成長するエピタキシャル層に組み込まれる、ウエハの後表面からの外方拡散ドーパント原子の数を減少させる。パージガスは、窒素、アルゴン、水素、トリクロロシランのようなシリコンを含

有するガス、またはそれらの混合物を含んで成る。例えば、ASMによって製造されるEpsikon（登録商標）エピタキシャル反応器を使用する場合、パージガスは、エピタキシャル蒸着ガスと同じ組成（例えば、トリクロロシランと水素の混合物）であるのが好ましい。一般に、パージガスの流量は、約1L/分～約50L/分、好ましくは約10L/分～約20L/分である。

【0036】

ウエハの実質的に全後表面をパージガスに暴露して、後表面からの外方拡散原子を前表面からそらし、それによって、基材の周囲縁に近い環状領域において、蒸着されつつあるエピタキシャル層へのそれらの組み込みを減少させるかまたは除去する。従って、エピタキシャル層の抵抗率は、オートドーピングによって実質的な影響を受けず、オートドーピングによる抵抗率の減少は、約10%未満、好ましくは約5%未満、より好ましくは約2%未満である。図1を参照すると、オートドーピングによって実質的な影響を受けないエピタキシャル層10の領域は、基材の半径9の長さの少なくとも約80%の半径11を有する、中心軸8から周囲縁2に半径方向に外向きに延在する軸対称領域6として特徴づけることができる。軸対称領域の半径11は、基材の半径9の長さの少なくとも約85%、90%、95%または100%であるのが好ましい。

【0037】

所望の厚みを有するエピタキシャル層が一旦形成されると、シリコンを含んで成る雰囲気、貴ガス、 H_2 、またはそれらの組合せ、より好ましくは H_2 だけを使用して、反応室からパージするのが好ましい。次に、ウエハを、好ましくは、損傷を与えずに取り扱うことができる温度に冷却し（一般に約800～900℃以下であるが、約900℃よりかなり高い温度でウエハを取り扱うことができる装置もある）、次に、エピタキシャル蒸着反応器から取り出す。

【0038】

D. エピタキシャル蒸着反応器

前記のように、本発明のウエハは、下記の明確な数個の段階を統合したエピタキシャル蒸着工程によって製造される：(a) ウエハの前表面および後表面から自然オキシド層を除去し；(b) ウエハの前表面をシリコン含有源ガスに暴露する

ことによって、ウエハの前表面にエピタキシャルシリコン層を成長させ；および
(c) ウエハの後表面をパージガスに暴露する。単一エピタキシャル蒸着工程で
前記のことを行うために、本発明のエピタキシャル蒸着反応器を改変して、ウエ
ハの前表面および後表面への処理ガスの流動を可能にする。

【0039】

一般に、エピタキシャル蒸着反応器は、石英で一般に製造された室、処理ガス
を反応器に入れるガス入口、処理ガスを反応器から除去するガス出口、シリコン
ウエハの加熱用の発熱要素、ウエハを支えるサセプター、およびサセプターおよ
びウエハを支える回転手段を有して成る。本発明において、サセプターは、ウエ
ハの前表面およびウエハの実質的に全後表面に流体を接触させるウエハ支持デバ
イスで置き換えられる。ウエハの前表面および後表面に流体を接触させることに
よって、装填の間の「浮動」を除くことができるので有利である。さらに、ウエ
ハ支持デバイスは、エピタキシャル蒸着工程の予備焼付け段階に使用される清浄
ガスが、シリコンウエハの実質的に全後表面に接触し、実質的に全自然オキシド
層を化学的に除去することを可能にし、それによって、源ガスがシリコンウエハ
の後表面に接触する際のエピタキシャル層の成長の間に、平滑連続シリコン層が
成長し、後表面におけるハロー作用が顕著に減少されるかまたは除去される。さ
らに、ウエハ支持デバイスは、エピタキシャル蒸着工程の間にウエハの後表面か
ら外方拡散する、シリコンウエハに含有されるドーパント原子を、ウエハの前表
面からパージガス流れに運び排出することを可能にする。外方拡散ドーパント原
子の排出は、かなりの量のドーパントが、ウエハとサセプターの縁の間に滲出し
、前表面と接触して、好ましくない前表面のオートドーピングを生じるのを防止
する。

【0040】

ウエハ支持デバイスは、処理ガス、特に清浄ガスおよびパージガスが、シリコ
ンウエハ基材の後表面に接触しうるようにするどのような形態であってもよい。
ウエハ支持デバイスは、例えば150mm、200mmおよび300mmまたはそれ以上のウエ
ハを包含するどのような直径のシリコンウエハでも収容しうる大きさにすること
ができる。ウエハ支持デバイスは、従来材料、例えば、高温エピタキシャル蒸着

工程の間にグラファイトから周囲環境に放出される汚染物の量を減少させるグラファイトを覆う炭化珪素またはガラス質炭素層を有する高純度グラファイトから構成することができる。ウエハ支持デバイスを構成するのに使用されるグラファイトは一般に少なくとも約99%、より好ましくは少なくとも約99.9%、最も好ましくは少なくとも約99.99%の純粋グラファイトである。グラファイトは、好ましくは約20ppm未満の合計金属、好ましくは、鉄、モリブデン、銅、およびニッケル、より好ましくは約5ppm未満の合計金属、特に、鉄、モリブデン、銅、およびニッケルも含有する。グラファイトを覆う炭化珪素またはガラス質炭素被膜は、一般に約75 μm ~約150 μm 、好ましくは100 μm ~約125 μm の厚みを有する。グラファイトと同様に、炭化珪素またはガラス質炭素被膜は、約20ppm未満、好ましくは約5ppm未満の合計金属濃度を有していなければならない。

【0041】

本発明のエピタキシャル蒸着反応器は、ウエハの品質を向上させ、処理量を増加させる任意デバイスを有して成ってもよい。例えば、縁リング (edge ring) を、シリコンウエハおよび／またはウエハ支持デバイスの周囲の外側に配置して、ウエハの縁を断熱し、および／または室に流入する処理ガスを、それらがウエハ表面と接触する前に予熱することによって、ウエハにおける温度均一性を向上させることができる。さらに、反応器は、シリコン含有源ガス流れとパージガス流れとの分離を向上させる仕切 (dividers) を有して成ってもよい。サセプターと同様に、縁リングおよび仕切は一般に、炭化珪素およびガラス質炭素で被覆されたグラファイトから構成される。

【0042】

E. 有孔サセプター

1. ウエハが内環状棚に載る有孔サセプター

特定の形態または実施態様において、ウエハ支持デバイスは、有孔サセプターである。図2を参照すると、有孔サセプター12の断面図が示されている。有孔サセプター12は、前表面3および後表面5を有するシリコンウエハ基材を支えることができる内環状棚13を有する。有孔サセプター12は、複数の孔または開口15、16、17、18、19、20、21および22を有する多孔表面14を有する。後表面ロケットハ

ンドリング (robotic handling) を有する単一ウエハ反応器 (例えば、Applied Materialsによって製造されるCentura (登録商標) 反応器) に使用される有孔サセプターは、ウエハリフトピンホール23、24および25 (図示せず、図3参照) も必要とする。これに対して、ASMによって製造される単一ウエハEpsilon (登録商標) 反応器、または手で装填されるバレル反応器に使用される有孔サセプターは、リフトピンホールを必要としない。「開口」および「孔」という用語は、本明細書において互換的に使用され、両方とも多孔表面14における開口通路を意味する。開口を有する多孔表面14は、シリコンウエハ基材4のすぐ下に配置される。本明細書において使用される「複数」という用語は、2つまたはそれ以上の孔を意味する。被膜を適用する前に、有孔サセプター12に孔15、16、17、18、19、20、21および22を開ける。エピタキシャル蒸着工程の予備焼付け段階の間に、孔15、16、17、18、19、20、21および22は、清浄ガスが、シリコンウエハ基材4の実質的に全後表面5に接触することを可能にして、清浄ガスが、シリコン基材4の後表面5の実質的に全ての自然オキシドと反応し、それらを除去しうるようにする。サセプター12の内環状柵13と接するシリコンウエハ基材4の後表面の部分は、ウエハとサセプターの間に清浄ガスが滲出する際に清浄ガスによって実質的にエッチングもされ、後表面の自然オキシド層を実質的に完全に除去する。エピタキシャル成長工程の間に、ウエハとサセプターの間に滲出し、後表面5に接触する源ガスが、シリコン表面に平滑に連続的に成長する際に、後表面5からの自然オキシドの除去は、シリコンウエハの後表面におけるハロー作用を有意に減少させるかまたは除去する。孔15、16、17、18、19、20、21および22は、エピタキシャル蒸着工程の高温清浄化段階およびエピタキシャル蒸着段階の際に、シリコンウエハ基材4の後表面から外方拡散するドーパント原子が、それらの孔を通して、パージガス流れまたは水素流れに排出され、シリコンウエハ基材4の前表面3から排出システムに入ることを可能にする。従って、エピタキシャル蒸着工程の間の、前表面のオートドーピングの有意な減少が達成される。

【0043】

図3を参照すると、内環状柵13、および複数の孔を有する多孔表面9を有する有孔サセプター12の上面図が示されている。後表面ウエハハンドリングを有する反

応器に使用される有孔サセプターは、多孔表面14上にウエハリフトピンホール23、24および25も必要とし、それらは、有孔サセプター12の下のリフトピン（図示せず）が、エピタキシャル蒸着工程の間および後に、シリコンウエハを有孔サセプター12に載せたり持ち上げたりすることを可能にする。縁リング27は、有孔サセプター12の周囲を囲んで、シリコンウエハにおける温度均一性を確実にする。縁リング27は一般に、有孔サセプター12より約4cm～約10cm大きい直径を有する。

【0044】

シリコンウエハのすぐ下に配置される有孔サセプターの多孔表面の穴は、炭化珪素またはガラス質炭素被膜（サセプターに穴をあけた後にサセプターに適用される場合）が、穴を実質的にブロックするかまたは塞いで、穴を通る流体の流れを制限することがないような直径を有するのが好ましい。全体と通して一般に穴と称される開口は、正方形、スロット、菱形、または流体がそこを流れることができるどのような他の形であってもよいことを当業者は理解する。開口は、好ましくは約0.1mm～約3mm、より好ましくは約0.1mm～約1mm、最も好ましくは約0.5mm～約1mmの幅を有する。開口の幅は、2つの角の最も短い距離、または開口が円形である場合は直径として定義される。エピタキシャル蒸着工程の予備焼付け段階の間に使用される清浄ガスが、シリコンウエハの実質的に全後表面に接触し、エッチングしうるように、有孔サセプターの穴の間隔をあける。約0.5mm～約4cm、より好ましくは約2mm～約2cm、最も好ましくは約6mm～約1.5cmで有孔サセプターの穴の間隔あけることは、清浄ガスがシリコンウエハの実質的に全後表面に接触し、それによって、実質的に全ての自然オキシドを後表面からエッチングすることができる。サセプターの有孔表面の開口領域の合計パーセントは、有孔表面の全表面積の約0.5%～約4%、より好ましくは有孔表面の全表面積の約1%～約3%である。サセプターの有孔表面は、好ましくは約0.2穴/cm²～約4穴/cm²、より好ましくは約0.8穴/cm²～約1.75穴/cm²の密度を有する。本明細書において使用される「密度」という用語は、均一または不均一密度を意味する。

【0045】

有孔サセプターの穴は、可能な限り小さい直径を有し、しかもその穴を通してシリコンウエハの後表面に向かう流体の流れを炭化珪素またはガラス質炭素被膜が制限しないのが一般に好ましい。サセプターの穴が大きすぎる場合、後表面における局部的温度不均一性によって生じるウエハの前表面のナノトポグラフィーの問題が生じうる。有孔サセプターにおける大きい直径の穴は、シリコンウエハの下方に配置された加熱灯による後表面の直接照射によって、シリコンウエハの後表面にホットスポットまたはコールドスポットが発生しうる。これらのホットスポットまたはコールドスポットは、シリコンウエハの前表表面に温度勾配を形成し、シリコンウエハの前表面における不均一エピタキシャルシリコン成長を生じうる。エピタキシャル層の不均一成長は、ウエハの品質を顕著に低下させる。有孔サセプターの穴を斜角でサセプターに開けて、加熱灯による後表面の直接照射、および前表面における不均一エピタキシャル成長を生じるホットスポットまたはコールドスポットの形成の可能性をさらに減少させることができ、しかも、ガスがサセプターを通過して後表面と接触しうるようにし、外方拡散したドーパント原子を後表面から除去しうるようにする。穴からのウエハの直接照射によるホットスポットまたはコールドスポットの形成およびシリコンウエハにおける温度勾配の発生の可能性をさらに減少し、リフトピンホールによって生じるホットスポットまたはコールドスポットを減少するかまたは除去するために、シリコンウエハの上方および下方の加熱灯の灯電力比率を調節して、灯からのバランスのとれた加熱を得ることができる。

【0046】

図4を参照すると、本発明の有孔サセプター12を使用するエピタキシャル成長工程の間に使用されるエピタキシャル反応室30が示されている。有孔サセプター12は、回転支え31および32に取り付けられ、エピタキシャル蒸着工程の間に内環状棚13上のシリコンウエハ基材4を支える大きさおよび形態にされる。シリコンウエハ基材4は、有孔サセプター12の多孔表面14の穴15、16、17、18、19、20、21および22と間隔をあけた関係にある。リフトピンホール23は、リフトピン（図示せず）が、有孔サセプター12の多孔表面14を通過してシリコンウエハ基材4に接触できるようにし、それによって、エピタキシャル蒸着工程の前および後に、シ

リコンウエハ基材4を有孔サセプター12に載せたり持ち上げたりすることができる。エピタキシャル蒸着室30は、有孔サセプター12の上方および下方にそれぞれ配置された、エピタキシャル蒸着工程の間の加熱用の加熱灯配列33および34も有する。ガス入口35および36は、エピタキシャル蒸着工程の予備焼付け段階の間の清浄ガスの導入を可能にし、それによって、清浄ガスをシリコンウエハ基材4の上方および下方に導入して、シリコンウエハ基材4の前表面3および後表面5の自然オキシドの除去を向上させることができる。エピタキシャル成長段階の間に、ガス入口35は、シリコンウエハ基材4の上方を流れるシリコン含有源ガスを導入し、ガス入口36は、シリコンウエハ基材4の下方に水素または不活性ガスを導入して、シリコンウエハ基材4の後表面5をフラッシュし、外方拡散ドーパント原子が前表面に行かないようにする。図4に示すように、エピタキシャル蒸着室に導入されたガスは、シリコンウエハの前表面および後表面に平行に流れるのが好ましい（しかし、平行フローパターンは必要ではない）。そのようなフローパターンは、導入されたガスが、前表面に接触し、サセプター表面の穴を通してサセプターを通過して、ウエハの後表面に接触することを可能にする。ガスは、シリコンウエハに平行に流れ、垂直に流れないので、シリコンウエハが、ウエハの縁と環状棚の縁の間に滲出するガスによって環状棚から持ち上げられて変形する可能性は、顕著に減少するかまたは除去される。ガス入口35および36から室30に導入されるガスは、出口37を通して室34から除去される。

【0047】

有孔サセプターの穴は、清浄化段階の間に、清浄ガスが、有孔サセプターを通過して、シリコンウエハの実質的に全後表面と接触することを可能にし、それによって、後表面に存在する自然オキシドが清浄ガスによって除去される。後表面からのこの自然オキシド除去は、エピタキシャル層の成長の間に源ガスと接触するシリコンウエハの後表面のどの部分でも平滑連続エピタキシャルシリコン層が成長することを可能にし、従って、後表面におけるハローの形成を実質的に除去する。さらに、有孔サセプターの穴は、不活性ガスまたは水素が、ウエハの後表面と接触することを可能にし、それによって、清浄化段階の間、およびエピタキシャル成長段階の間の両方において、後表面から外方拡散するドーパント原子をシ

リコンウエハから出口へ運び、従って、ウエハの前表面のオートドーピングの可能性を実質的に減少させる。

【0048】

2. ウエハが多孔表面に載る有孔サセプター

本発明の選択的实施態様において、有孔サセプターを、シリコンウエハが多孔表面に直接的に載るような大きさおよび形態にし、それによって、図4に示す内環状棚13を除去する。図5を参照すると、シリコンウエハが多孔表面に直接的に載っている有孔サセプターの断面図が示されている。シリコンウエハ基材4の後表面5は、有孔サセプター40の多孔表面41に直接的に載っている。シリコンウエハ基材4の後表面5は、多孔表面41と直接的に接しているが、有孔サセプター40の下方に流れるガスは、穴42、43、44、45、46、47、48および49を通して多孔表面41を通過して、ウエハ基材4の実質的に全後表面と接触することができる。

【0049】

3. ウエハが凹形多孔表面に載る有孔サセプター

他の選択的实施態様において、図5に示す本発明の有孔サセプターに変更を加えて、多孔表面を皿型にして、シリコンウエハの外縁だけが有孔サセプターに接するようにする。図6を参照すると、シリコンウエハが有孔サセプター50の多孔表面51に直接的に載っている有孔サセプター50の断面図が示されている。シリコンウエハ基材4の後表面5は、有孔サセプター50の多孔表面51に直接的に載っている。多孔表面51は、皿形にされ、それによって、シリコンウエハ基材4の外縁2は、多孔表面51に直接的に接し、シリコンウエハ基材4の後表面5の残りの部分は、多孔表面51と直接的に接していない。使用の間に、穴52、53、54、55、56、57および58は、それらを通してウエハの後表面に行く流体の流れを可能にする。

【0050】

本発明の有孔サセプターは、使用されるサセプターの形に関係なく、バレル、パンケーキおよびミニバッチ反応器を包含する種々のタイプの蒸着反応器と共に使用しうることを当業者は理解する。

【0051】

F. 延在リフトピンを有するサセプター

図7を参照すると、本発明の選択的实施態様において、ウエハ支持デバイスは、従来のサセプター60であり、該サセプターにおいて、少なくとも3つのリフトピン61、62、63は、全エピタキシャル蒸着工程（即ち、予備焼付けおよびエピタキシャル成長の間）を通して、延在した位置または上がった（up）位置に維持される。シリコンウエハをサセプター60より上に持ち上げることによって、予備焼付けの間に、エピタキシャル蒸着室30に洗浄ガスが導入され、ウエハ基材4の後表面5の自然オキシド層に接触して除去し、化学蒸着誘発ハローの形成を防止する。同様に、エピタキシャルシリコン層の成長の間に、エピタキシャル蒸着室30に導入されるパージガスは、後表面5から放出されるドーパント原子が前表面3に行かないようにし、エピタキシャルシリコン層のオートドーピングを防止する。

【0052】

G. 開放形ウエハ支持デバイス

本発明の選択的实施態様において、発熱要素からの直接的な照射にウエハの実質的に全後表面を暴露するようにウエハを支える（即ち、開放形ウエハ支持デバイス）。エピタキシャル蒸着室における開放形ウエハ支持デバイスの使用は、特定の用途に依存して好ましい場合がある。例えば、開放形ウエハ支持は、ウエハが所望の蒸着温度に速く到達しうるようにし、それによって処理量を増加させる。さらに、開放形ウエハ支持は、有孔サセプターより均一にウエハを加熱しうるようにし、より均一なエピタキシャル層（即ち、減少したナノトポグラフィー）を与える。

【0053】

1. ピン支え

開放形ウエハ支持デバイスの1つの実施態様は、Steag（登録商標）SHS3000迅速熱アニラーに使用されるデバイスと同様に、回転支えから延在する少なくとも3つのピンを有して成り、該ピンは、ウエハの周囲縁の内側でウエハの後表面に接して、エピタキシャル成長工程の間にウエハを支える。図8を参照すると、本発明のピン支えを使用する、エピタキシャル成長工程の間に使用されるエピタキシャル反応室30が示されている。3つのピン70、71および72は、回転支え74に取り付けられ、エピタキシャル蒸着工程の間にシリコンウエハ基材4を支える大

きさおよび形態にされる。エピタキシャル蒸着室34は、ウエハ基材4の上方および下方にそれぞれ配置された、エピタキシャル蒸着工程の間の加熱用の加熱灯配列33および34も有する。ガス入口35および36は、エピタキシャル蒸着工程の予備焼き付け段階の間の清浄ガスの導入を可能にし、それによって、清浄ガスがシリコンウエハ基材4の上方および下方に導入されて、シリコンウエハ基材4の前表面3および後表面5の自然オキシド除去を向上させる。エピタキシャル成長段階の間に、ガス入口35は、ウエハ基材4の上方を流れるシリコン含有源ガスを導入し、ガス入口36は、ウエハ基材4の下方に水素または不活性ガスを導入して、シリコンウエハ基材4の後表面5をフラッシュし、外方拡散ドーパント原子が前表面3に行かないようにする。エピタキシャル蒸着室34は、室仕切75および76も有して成り、パージガスからの蒸着ガスの分離を向上させる。エピタキシャル蒸着室34は、支柱78および79上に縁リング77も有して成り、ウエハ表面の温度均一性を向上させる。

【0054】

2. リング支え

図9を参照すると、選択的实施態様において、ウエハ支持デバイスは、Applied Materialsによって製造されるCentura（登録商標）迅速熱処理装置に使用されるものと同様のリング支え80である。図10を参照すると、リング支え90は、ウエハ基材4を支える内環状棚91、および外環状段92を有して成るのが好ましく、該外環状段は、縁リングと極めて似た働きをして、ウエハの周囲縁を断熱し、反応ガスを予熱して、スリップを防止する。

【0055】

H. 本発明のエピタキシャル蒸着法の有効性

いくつかの実験を行って、本発明の単結晶ウエハを製造する本発明の方法および装置の有効性を評価した。例えば、一般的サセプターおよび有孔サセプターを使用して、約 $2.75\mu\text{m}$ の厚みのエピタキシャル層を、約 $0.005\Omega\text{cm}$ ～約 $0.01\Omega\text{cm}$ の抵抗率を有する直径200mmのホウ素ドーピングウエハ基材に蒸着した。図11を参照すると、後表面オキシドシールを有するウエハは、ウエハ表面において実質的に均一な抵抗率を有していたことがわかる。同様に、有孔サセプターを使用し

て、後表面オキシドシールを有さないウエハに蒸着したエピタキシャル層も、ウエハ表面において実質的に均一な抵抗率を有していた。しかし、一般的なサセプターを使用して、後表面オキシドシールを有さないウエハに蒸着したエピタキシャル層は、ウエハ表面において不均一な抵抗率を有していた（表面位置の関数としての抵抗率プロットの「W」形は、大部分が、抵抗率を許容範囲に維持するために周囲縁の近くのオートドーピングを補うために温度およびガス流れのような工程変数を操作したことによる）。そのような操作を行わなければ、抵抗率は、中心から、周囲縁から約10mmまでは実質的に均一であり、最後の10mmにおいて、オートドーピングによって抵抗率はかなり減少すると考えられる。例えば、周囲縁から内側に10mmにおいて、エピタキシャル層の抵抗率は、基材の抵抗率とエピタキシャル層の抵抗率との差に依存して、約10%～約20%、または約50%またはそれ以上減少しうる。

【0056】

図12Aを参照すると、Tencor（登録商標）SP1曇りマップは、後表面オキシドシールを有さないウエハにおける、従来のサセプターを使用してエピタキシャルシリコン層を蒸着することによって生じた後表面ハローの位置をはっきりと示している。これに対して、図12Bは、本発明の有孔サセプターを使用することによって、後表面オキシドシールを使用せずにハローが除去されることを示している。

【0057】

図13Aを参照すると、ADE（登録商標）CR-83 SQMナノトポグラフィーマップは、従来のサセプターの使用によって、リフトピンホール直ぐ上に、約60nmのナノトポグラフィを有するエピタキシャル層を生じることをはっきりと示している。これに対して図13Bは、有孔サセプターの使用は、リフトピンホール上方のエピタキシャル層のナノトポグラフィを、約20nm未満にまで顕著に減少させることを示している。

【0058】

種々の穴の大きさ、間隔および密度を有する有孔サセプターの3つの実施態様を、エピタキシャル蒸着工程の間に200mmの直径のシリコンウエハを支えることに関して評価した。各実施態様は、下部に向かって垂直にあけた約95mmの半径を

有する筒形のほぼ等距離の穴を有していた。穴の数および大きさは、下記のように様々であった：有孔サセプターAは、約1.32mmの直径を有する274個の穴（約0.95穴/cm²の穴密度）を有し；有孔サセプターBは、約1.32mmの直径を有する548個の穴（約1.95穴/cm²の穴密度）を有し；有孔サセプターCは、約1.02mmの直径を有する274個の穴（約0.95穴/cm²の穴密度）を有していた。各実施態様は、サセプターの中心から約90mmの位置に、約120°の間隔をあけた、直径約8mmの3つのリフトピンホールも有していた。

【0059】

前記の有孔サセプターを使用して、シリコンエピタキシャル層を有する多くのシリコンウエハを製造した。各ウエハは、後表面ハロー、および前表面のオートドーピングを有していなかった。現在までの結果は、ハローまたはオートドーピングに関して、穴密度の違いによって利益が得られるわけではないことを示している。しかし、エピタキシャルシリコンウエハ表面における減少したナノトポグラフィーは、サセプターC（小さい直径の穴を有するサセプター）を使用して製造したウエハにおいて観察された。特に、サセプターAおよびBを使用して成長させた約3 μ mの厚みのエピタキシャル層を有するウエハは、穴のすぐ上の表面に約20nmのナノトポグラフィーを示し、サセプターCを使用して製造したウエハは、約10nmまたはそれ以下のナノトポグラフィーを示した。

【0060】

1. 固有ゲッターリング単結晶シリコンウエハ

前記のように、チョクラルスキー法を使用して製造したウエハは、約10ppm～約18ppmの酸素濃度を有する。さらに、シリコンの融点（即ち、約1410℃）から、約750℃～約350℃への、単結晶シリコンインゴットの冷却速度に依存して、酸素析出物核形成中心を形成しうる。電子デバイスの製造に一般に使用される熱処理サイクルも、酸素の過飽和状態のシリコンウエハにおいて、酸素の析出を生じうる。析出物は、ウエハにおける位置に依存して、有害にも有益にもなりうる。ウエハの活性デバイス領域（即ち、一般に表面付近）に存在する酸素析出物は、デバイスの性能を損なう。しかし、ウエハのバルクに存在する酸素析出物は、ウエハと接触する好ましくない金属不純物を捕捉することができる。金属を捕捉す

るために、ウエハのバルクに存在する酸素析出物を使用することは、一般に内部または固有ゲッタリング (IG) と称される。

【0061】

歴史的に、電子デバイスの製造工程は、酸素析出物を含有しないウエハの表面に近い領域（一般に、「露出領域」または「析出物不含領域」と称される）、およびIGの目的に十分な数の酸素析出物を含有するウエハの残りの部分（即ち、ウエハバルク）を有するシリコンを製造するように設計された一連の段階を含む。露出領域は、例えば、(a) 不活性ガス中、少なくとも約4時間にわたる高温 (> 1100°C) での酸素外方拡散熱処理、(b) 低温 (600°C~750°C) での酸素析出物核形成、および (c) 高温 (1000°C~1150°C) での酸素 (SiO₂) 析出物の成長のような、高一低一高の熱順序において形成される。例えば、F. Shimura, Semiconductor Silicon Crystal Technology, p. 361-367 (Academic Press, Inc., San Diego CA, 1989) (およびそれに引用されている文献) を参照。

【0062】

しかし、最近では、進歩した電子デバイス製造法、例えばDRAM製造法は、高温処理工程の使用を最少限にしている。これらの製造法のいくつかは、露出領域および充分な密度のバルク析出物を得るのに充分な高温熱処理段階をまだ使用しているが、材料の許容範囲が狭すぎて、工業的に実現性のある製品にすることができない。現在の他の高度に進歩した電子デバイス製造法は、外方拡散段階を全く有さない。従って、活性デバイス領域における酸素析出物に関連した問題の故に、これらの電子デバイス製造業者は、それらの処理条件下に、ウエハのどこにも酸素析出物を形成しないシリコンウエハを使用しなければならない。その結果、IGの可能性が失われる。

【0063】

しかし、本発明は、ウエハ内における結晶格子空孔の鑄型の形成を可能にし、該鑄型は、ウエハを熱処理した際に、理想的な不均一な深さの酸素析出物の分布をウエハ内に生じる（全体として本発明に含まれる2000年6月15日に公開されたW O 00/34999参照）。一般に、結晶格子空孔の鑄型を形成するかどうかの判断は

、ウエハ基材の組成に部分的に基づく。特に、ホウ素は酸素の析出を増加し、その結果、重度にドーピングされたP型基材（例えば、P⁺ およびP⁺⁺ 基材）は、十分な酸素析出物を形成するので、鑄型の形成は一般に必要ないが、軽度にドーピングされたP型基材（例えば、P⁻ 基材）は、IGの目的のために鑄型の形成を一般に必要とする。

【0064】

図14は、本発明によって製造したウエハの加熱処理によって形成しうる1つのそのような酸素析出物分布を示す。この特定の実施態様において、ウエハ基材4（前表面3に蒸着したエピタキシャル層を有するかまたは有さない）は、酸素析出物95を含有しない領域93および93'（露出領域）を特徴とする。これらの領域は、前表面3および後表面5から、それぞれtおよびt'の深さで延在する。好ましくは、tおよびt'はそれぞれ約10 μ m～100 μ m、より好ましくは約50 μ m～約100 μ mである。酸素析出物不含領域93と93'の間に、実質的に均一な濃度の酸素析出物を含有する領域94が存在する。大部分の用途において、領域94における酸素析出物濃度は、少なくとも約5 $\times 10^8$ 析出物/cm³、より好ましくは約1 $\times 10^9$ 析出物/cm³である。図14の目的は、単に1つの本発明の実施態様を示すことによって、当業者に本発明を知らせるものであると理解すべきである。本発明は、その実施態様に限定されない。例えば、本発明を使用して、2つの露出領域93および93'を有する代わりに唯1つの露出領域93を有するウエハを製造することもできる。

【0065】

結晶格子空孔の鑄型を形成するために、一般に、ウエハを先ず加熱し、次に、少なくとも約10℃/秒の速度で冷却する。ウエハを加熱する目的は、下記の通りである：(a) ウエハ全体に均一に分布する、結晶格子中の自己格子間原子および空孔対（即ち、Frenkel欠陥）を形成し、(b) ウエハに存在する不安定化した酸素析出物核形成中心を溶解する。一般に、より高い温度に加熱するほど、より多くのFrenkel欠陥が形成される。冷却段階の目的は、結晶格子空孔の不均一分布を生じさせることであり、該分布において、空孔濃度は、ウエハの中心かまたは中心付近で最大であり、ウエハの表面に向かって減少する。結晶格子空孔のこの不均一分布は、ウエハの表面付近の空孔の一部が冷却の間に表面に拡散し、そ

れによって消滅し、その結果、表面付近における空孔の低濃度を生じることによって生じると考えられる。

【0066】

大部分の用途において、ウエハを、少なくとも約1175℃の浸漬 (soak) 温度に加熱するのが好ましい。より好ましくは、約1200℃～約1300℃、最も好ましくは約1225℃～約1250℃の浸漬温度に加熱する。ウエハの温度が所望の浸漬温度に到達した際に、ウエハ温度を、所定時間にわたってその浸漬温度に維持する。好ましい時間は一般に約10秒～約15秒である。一般的な現在の市販のエピタキシャル蒸着反応器において、ウエハを約12秒～約15秒間にわたって浸漬温度に維持するのが好ましい。これに対して、一般的な現在の市販のRTA炉においては、ウエハを約10秒間にわたって浸漬温度に維持するのが好ましい。

【0067】

一般に、雰囲気に出露させながらウエハを加熱する。本発明の1つの実施態様において、雰囲気は、 H_2O および H_2 を含んで成る酸化雰囲気である。しかし、より好ましくは、酸化雰囲気中のオキシダントは、少なくとも約300ppmの濃度で雰囲気に存在する酸素ガス (即ち、合計ガス1,000,000モルにつき300モルの O_2) である。酸素濃度は、より好ましくは約300ppm～約2000ppm、最も好ましくは約300ppm～約500ppmである。酸化雰囲気の残りは、シリコン表面またはオキシダントと反応しないガスから本質的に成るのが好ましい。ガスの残りは、好ましくは貴ガスまたは N_2 、より好ましくは貴ガス、最も好ましくはArから本質的に成る。酸化雰囲気は、加熱の間に少なくともエピタキシャル表面に暴露するのが好ましい。より好ましくは、酸化雰囲気は、本質的にウエハの全表面に暴露する。

【0068】

本発明の他の実施態様において、雰囲気は、本質的にオキシダントを含有しない。エピタキシャル反応器 (以下に記載) において結晶格子空孔の鑄型を形成する場合、ウエハの表面の曇りを生じる傾向があるのもかかわらず、安全性の考慮 (爆発を避ける) およびオキシダントと未反応クロロシランが接触する際に生じる粒子発生の故に、雰囲気は本質的にオキシダントを含有しないのが好ましい。オキシダントを本質的に含有しない雰囲気は、還元ガス (例えば H_2) および/ま

たは不活性ガス（例えば、He、Ne、Ar、KrおよびXeのような貴ガス）を含んで成ることができる。雰囲気は、H₂、Arおよびそれらの混合物から本質的に成るのが好ましい。

【0069】

酸化雰囲気におけるウエハの熱処理の後に、ウエハを急速に冷却する。この冷却段階は、好都合なことに、熱処理を行ったのと同じ雰囲気で行うことができる。または、ウエハ表面と反応しない雰囲気で行うのも好ましい。ウエハを少なくとも約10℃/秒の速度で冷却するのが好ましい。より好ましくは少なくとも約15℃/秒、さらに好ましくは少なくとも約20℃/秒、最も好ましくは少なくとも約50℃/秒の速度でウエハを冷却する。結晶格子空孔が単結晶シリコンを通して拡散する温度範囲にウエハの温度が下がると共に、この急速冷却速度を使用するのが好ましい。一旦、結晶格子空孔が比較的移動性である温度の範囲を越えた温度にウエハが冷却されると、冷却速度は、ウエハの析出特性に有意に影響を与えず、従って限定されない。一般に、結晶格子空孔は、約1000℃より高い温度で比較的移動性である。

【0070】

特に好ましい実施態様において、ウエハの温度が、浸漬温度から、浸漬温度より約150℃低い温度に下がる際に、ウエハの平均冷却速度は、少なくとも約10℃/秒（より好ましくは少なくとも約15℃/秒、さらに好ましくは少なくとも約20℃/秒、最も好ましくは少なくとも約50℃/秒）である。他の特に好ましい実施態様において、ウエハの温度が、浸漬温度から、浸漬温度より約250℃低い温度に下がる際に、ウエハの平均冷却速度は、少なくとも約10℃/秒（より好ましくは少なくとも約15℃/秒、さらに好ましくは少なくとも約20℃/秒、最も好ましくは少なくとも約50℃/秒）である。

【0071】

加熱および急速冷却は、例えば、高電力灯の列によってウエハを加熱する多くの市販の急速アニーリング（RTA）炉において行うことができる。RTA炉は、シリコンウエハを急速に加熱することができる。例えば、多くの炉は、ウエハを室温から1200℃に数秒間で加熱することができる。好適な市販の炉の例は、AG Asso

ciated (Mountain View, CA) からの610型炉、およびApplied Materials (Santa Clara, CA) からのCENTURA (登録商標) RTPである。

【0072】

または、加熱および急速冷却は、エピタキシャル蒸着反応器においても行うことができ、但し、所望の冷却速度は反応器において到達しうるものとする。本出願人は、加熱および冷却段階を、EPI CENTURA (登録商標) 反応器で行えることを確認した。図15および図19を参照すると、そのような反応器は、ウエハを支えるサセプター101を有する。サセプター101は、ウエハリフト軸107の内腔106に滑動的に取り付けられたサセプター支持軸105のアーム103に固定的に取り付けられている。ウエハリフト軸は、反応器の下方ドーム (図示せず) の筒状開口部における垂直運動のために取り付けられている。サセプター支持軸105およびウエハリフト軸107を、必要に応じて一緒にまたは独立に、垂直に動かす空気圧メカニズム (図示せず) を使用することができる。該メカニズムは、内腔106のサセプター支持軸105を回転させ、それによってサセプター101およびウエハを回転させるのにも使用できる。サセプターは、サセプターの開口に滑動可能に取り付けられて、それらの下方末端においてウエハリフト軸の止め111と係合する硬質ピン109を有する。ピン109の上方末端は、ウエハを支えることができる。一般に、ピン109は、反応器へのまたは反応器からの移動の間に、ウエハを支えるためだけに使用されている。

【0073】

EPI CENTURA (登録商標) 反応器における熱処理のためにウエハを配置するために、例えば、硬質ピン109の間に適合する大きさにされるブレード113によって、ウエハを反応器に運ぶ (図19参照)。サセプター支持軸105およびウエハリフト軸107は、図15に示す交換位置から図16に示す定位置に、上向きに移動する。サセプター支持軸105の上向きの移動は、ピン109 (ウエハリフト軸106と係合する) を、ウエハの後表面と係合させ、ブレード113からウエハを持ち上げる。次に、ブレードを反応器から除去する。図17を参照すると、次に、ウエハリフト軸107を静止させたまま、サセプター支持軸105をさらに上向きに移動させる。これは、サセプター101の上表面がウエハと接するまで、ピン109をサセプター101に

対して下向きに滑らせる。次に、サセプター101はウエハを支える。一方、支持軸105は、サセプター101がリング115と共表面になるまで上向きに移動し続ける。共表面になった時に、サセプターは処理位置にある。次に、高電力灯の列(図示せず)を作動させて、ウエハを処理位置においてサセプター101で支えながらウエハを加熱する。ウエハが均一に加熱されるように、加熱の際にサセプター101およびウエハを回転させるのが好ましい。

【0074】

結晶格子空孔が比較的移動性である温度において、EPI CENTURA(登録商標)反応器におけるウエハの一般的な平均冷却速度(即ち、約 $10^{\circ}\text{C}\sim 15^{\circ}\text{C}/\text{秒}$)は、RTA炉で得られる一般的平均冷却速度(即ち、約 $70^{\circ}\text{C}\sim 100^{\circ}\text{C}/\text{秒}$)よりかなり遅くなる傾向があることがわかった。これは、一部分は、ウエハと接しているサセプター101(図17参照)が、加熱が終了した後にいくらかの時間にわたって熱いままであることによる。従って、冷却速度を速くするために、ウエハを、サセプター101からできるだけ遠い位置に移動させるのが好ましい。これは、加熱の終了後すぐに、サセプター支持軸105を、図18に示す交換位置に下げることによって行うことができる。ウエハは、ピン109だけで支えられているので、ウエハの実質的に全後表面および全前表面が、他の固体熱表面(ピン109以外)と接触しない。さらに、ウエハは、熱いサセプター101からできるだけ遠い位置に配置される。ウエハをサセプター101から持ち上げることによって、ウエハの冷却速度をほぼ2倍にすることができる(即ち、平均冷却速度が約 $10^{\circ}\text{C}\sim 15^{\circ}\text{C}/\text{秒}$ から約 $25^{\circ}\text{C}\sim 30^{\circ}\text{C}/\text{秒}$ に増加する)。

【0075】

選択的实施態様において、前記のピン支えまたはリング支えのような開放後表面ウエハ支持デバイスを有して成るエピタキシャル蒸着反応器において、所望の冷却速度を得ることができる。開放後表面ウエハ支持デバイスを使用することによって、サセプターの断熱作用を除去して、より急速にウエハを加熱し冷却することができる。特に、約 $25^{\circ}\text{C}\sim 30^{\circ}\text{C}/\text{秒}$ の速度で一般に冷却するサセプターの上方にリフトピンで支えられたウエハに対して、ピン支えまたはリング支え上のウエハは一般に約 $70^{\circ}\text{C}\sim 100^{\circ}\text{C}/\text{秒}$ の速度で冷却する。開放後表面ウエハ支持

デバイスは、ウエハに損傷を与えうる、ピンにウエハを載せる付加的物理接触なしに、露出領域を形成する熱処理をエピタキシャル蒸着工程に統合できるので好ましい。

【0076】

本発明によって製造される不均一空孔プロファイルは、後にウエハが加熱される際の酸素析出の鑄型である。特に、ウエハ基材4（図14参照）を加熱した際に、酸素が急速に密集して、高濃度の空孔を含有するウエハ基材4の領域94に析出物95を形成するが、低濃度の空孔を含有するウエハ表面3および5に近い領域93および93'においては、密集しにくい。一般に、酸素は約500℃～約800℃の温度で核を形成し、約700℃～約1000℃の温度で析出物を成長させる。従って、例えば、ウエハにおける酸素析出物95の不均一分布は、電子デバイス製造工程の熱処理サイクルが800℃に近い温度で行われる場合が多いことを考慮すれば、そのような熱処理サイクルの間に形成されと考えられる。

【0077】

ウエハにおける結晶格子空孔の鑄型の形成および次の酸素析出は、次の処理工程が酸素析出物核形成中心／酸素析出物を消滅させないことを条件として、ウエハおよび／またはデバイス製造工程の間どの時点で行ってもよい（例えば、核形成中心／酸素析出物をシリコンに溶解させるのに十分に短い時間での、充分な温度へのウエハの次の加熱）。本発明の1つの好ましい実施態様において、結晶格子空孔の鑄型および核形成中心／酸素析出物の形成が、エピタキシャル層を蒸着させた後に起こる。例えば、前記のように、結晶格子空孔の鑄型を、エピタキシャル蒸着後のウエハ製造工程の間に形成し、核形成／析出を、電子デバイス製造工程の熱処理サイクルの間に行う。他の実施態様において、結晶格子空孔および核形成中心／酸素析出物の形成が、エピタキシャル層の蒸着前に起こる。核形成中心／析出物は、後の熱処理に耐えるのに充分な大きさの核形成中心／析出物（即ち、核形成中心／析出物の半径が「臨界半径」より大きい）を成長させるのに充分な時間で、ウエハを所定温度に加熱することによって形成される。

【0078】

前記に鑑みて、本発明の目的が達成されることが理解される。本発明の範囲を

逸脱せず、前記の有孔サセプターに種々の変更を加えることができるので、前記の全ての事柄は、例示するものであって、限定するものではないと理解される。

【図面の簡単な説明】

【図1】 本発明の出発材料として使用しうる単結晶シリコンウエハの構造を示す図である。

【図2】 図3の線26-26の面における、本発明のウエハ支持デバイスの実施態様の断面図である。

【図3】 本発明のウエハ支持デバイスの実施態様の上面図である。

【図4】 図3の線26-26の断面における本発明のウエハ支持デバイスの実施態様を示すエピタキシャル反応室の図である。

【図5】 本発明のウエハ支持デバイスの実施態様の断面図である。

【図6】 本発明のウエハ支持デバイスの実施態様の断面図である。

【図7】 ウエハ支持デバイスの実施態様を示す本発明のエピタキシャル反応室の図である。

【図8】 ウエハ支持デバイスの実施態様を示す本発明のエピタキシャル反応室の図である。

【図9】 ウエハ支持デバイスの実施態様を示す本発明のエピタキシャル反応室の図である。

【図10】 ウエハ支持デバイスの実施態様を示す本発明のエピタキシャル反応室の図である。

【図11】 本発明および従来法によって成長させたシリコンウエハに蒸着したエピタキシャル層の抵抗率プロファイルを比較するグラフである。

【図12】 エピタキシャルウエハの後表面におけるハローの程度を比較する、2つの曇りマップを示す図である。図12Aは、従来法を使用して製造した、エピタキシー後の後表面シールを有さないウエハのマップであり、図12Bは、本発明によって製造した、エピタキシー後の後表面シールを有さないウエハのマップである。

【図13】 エピタキシャルウエハの前表面のナノトポグラフィーを比較する、表面ナノトポグラフィーマップを示す図である。図13Aは、従来のサセプタ

ーを使用して製造したウエハのマップであり、図13Bは、貫通孔をあけたサセプターを使用して製造したウエハのマップである。

【図14】 本発明の好ましい実施態様によって製造しうるウエハの酸素析出局面を示す図である。

【図15】 反応器内のウエハの配置に関して、EPI CENTURA（登録商標）反応器（Applied Materials, Santa Clara, CA）において使用されるメカニズムを示す模式図である。この図において、サセプター支持軸105およびウエハリフト軸107は、交換位置にある。

【図16】 反応器内のウエハの位置に関して、EPI CENTURA（登録商標）反応器において使用されるメカニズムを示す模式図であり、この図において、サセプター支持軸105およびウエハリフト軸107は、定位置にある。

【図17】 反応器内のウエハの位置に関して、EPI CENTURA（登録商標）反応器において使用されるメカニズムを示す模式図である。この図において、サセプター支持軸105およびウエハリフト軸107は、処理位置にある。

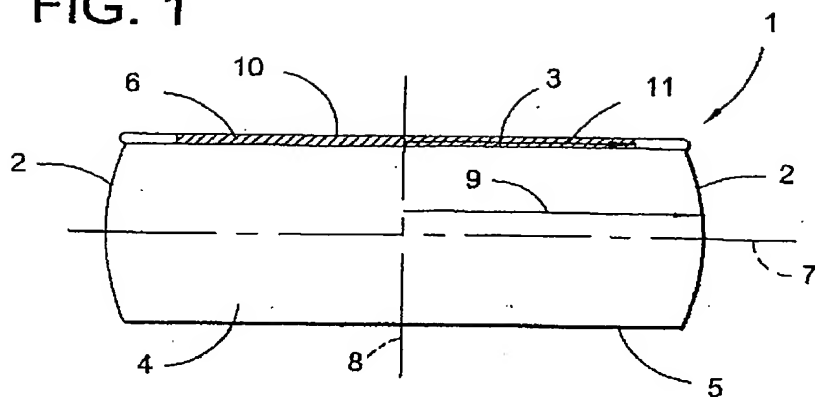
【図18】 反応器内のウエハの位置に関して、EPI CENTURA（登録商標）反応器において使用されるメカニズムを示す模式図である。この図は、本発明によってウエハを急速に冷却して、ウエハの結晶格子空孔プロファイルに影響を与える際の、サセプター支持軸105およびウエハリフト軸107の好ましい位置を示す。

【図19】 図15の反応器内のウエハの配置に関して、EPI CENTURA（登録商標）反応器において使用されるメカニズムを示す上面図である。

対応する符号は、図面を通じて対応する部分を示す。

【図1】

FIG. 1



【図2】

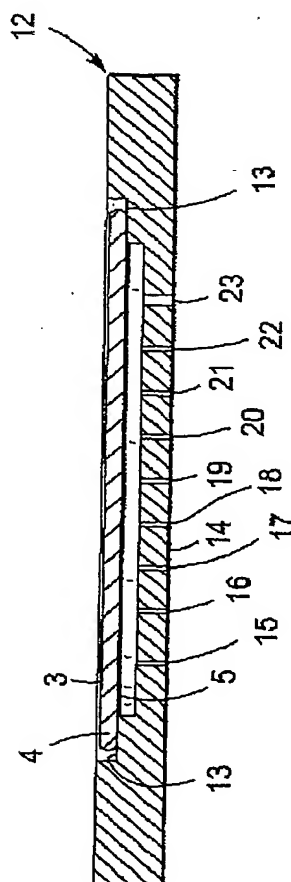


FIG. 2

【図3】

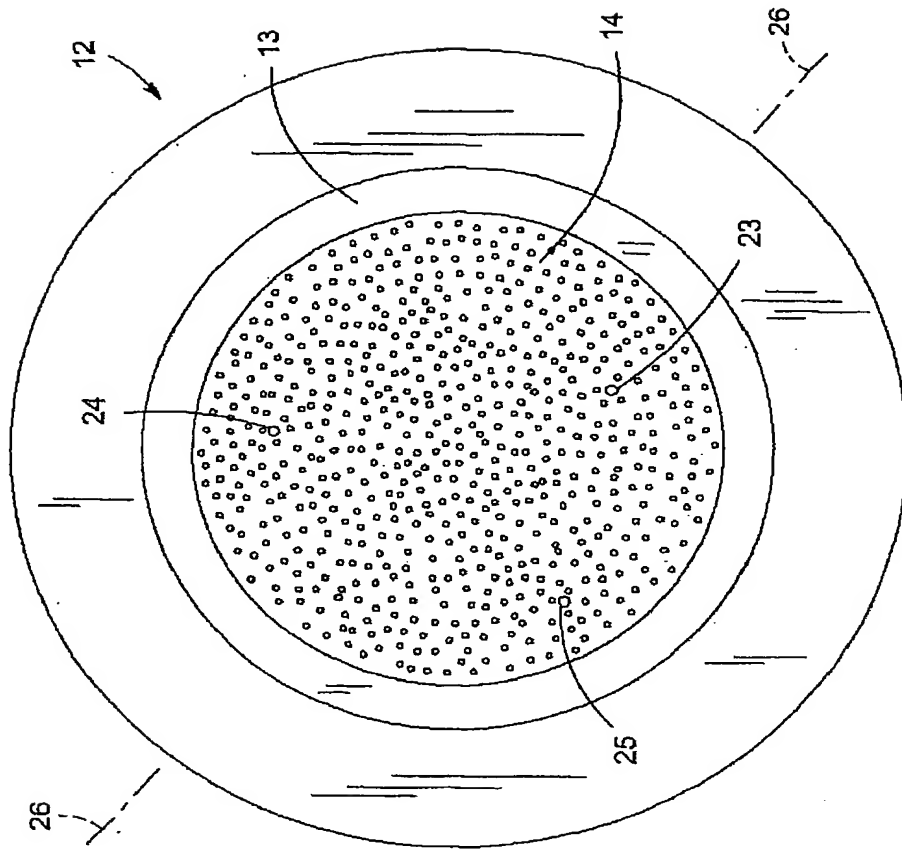
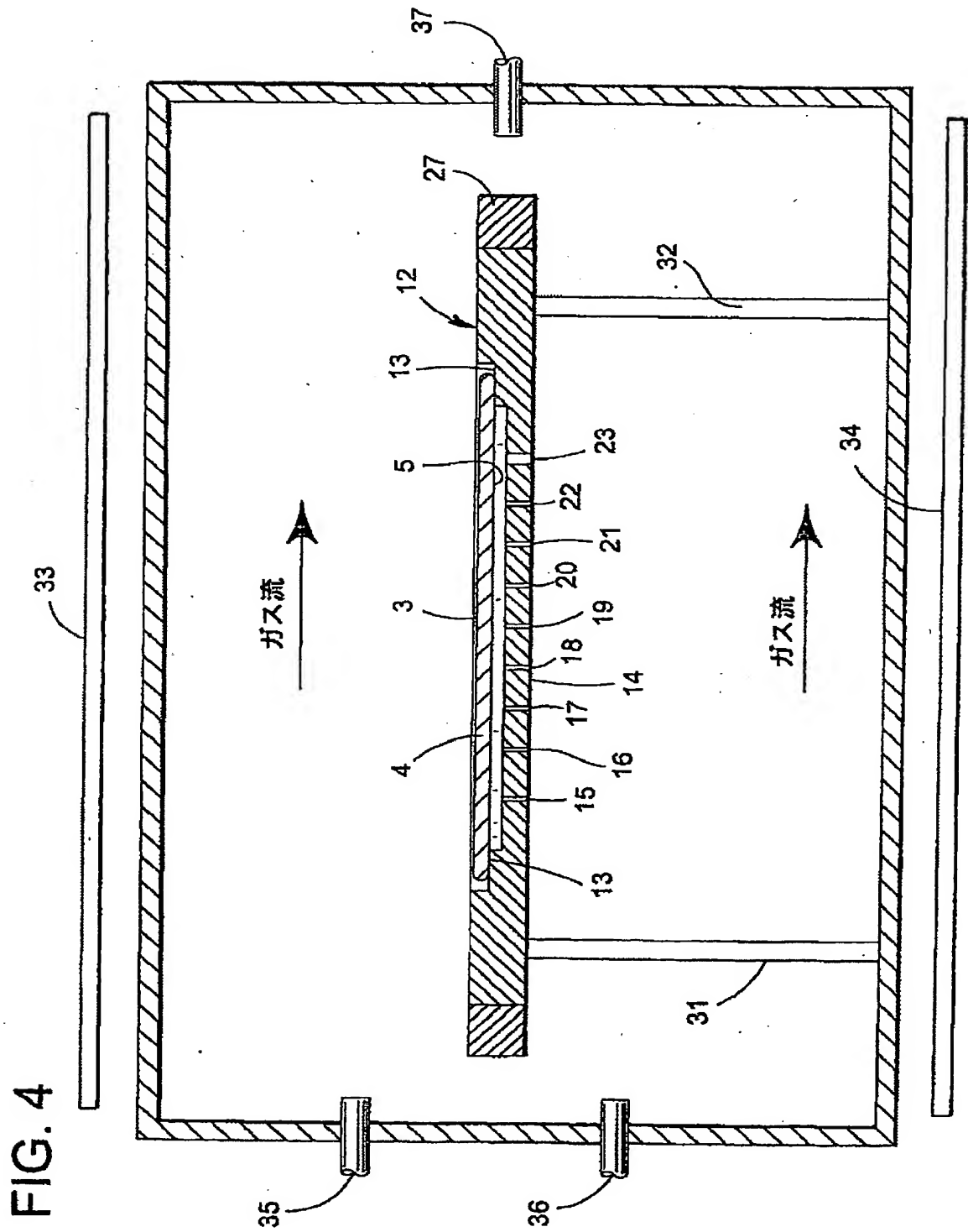


FIG. 3

【図4】



【図5】

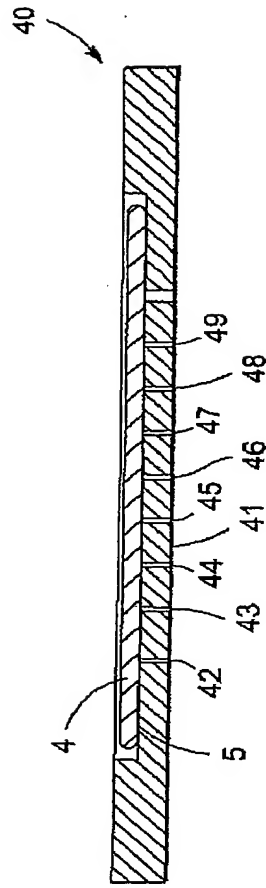
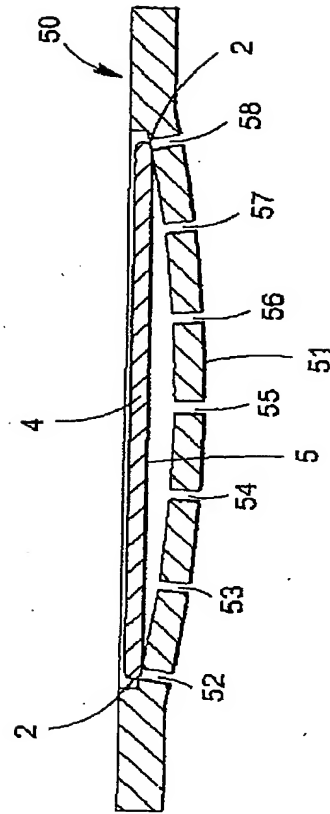


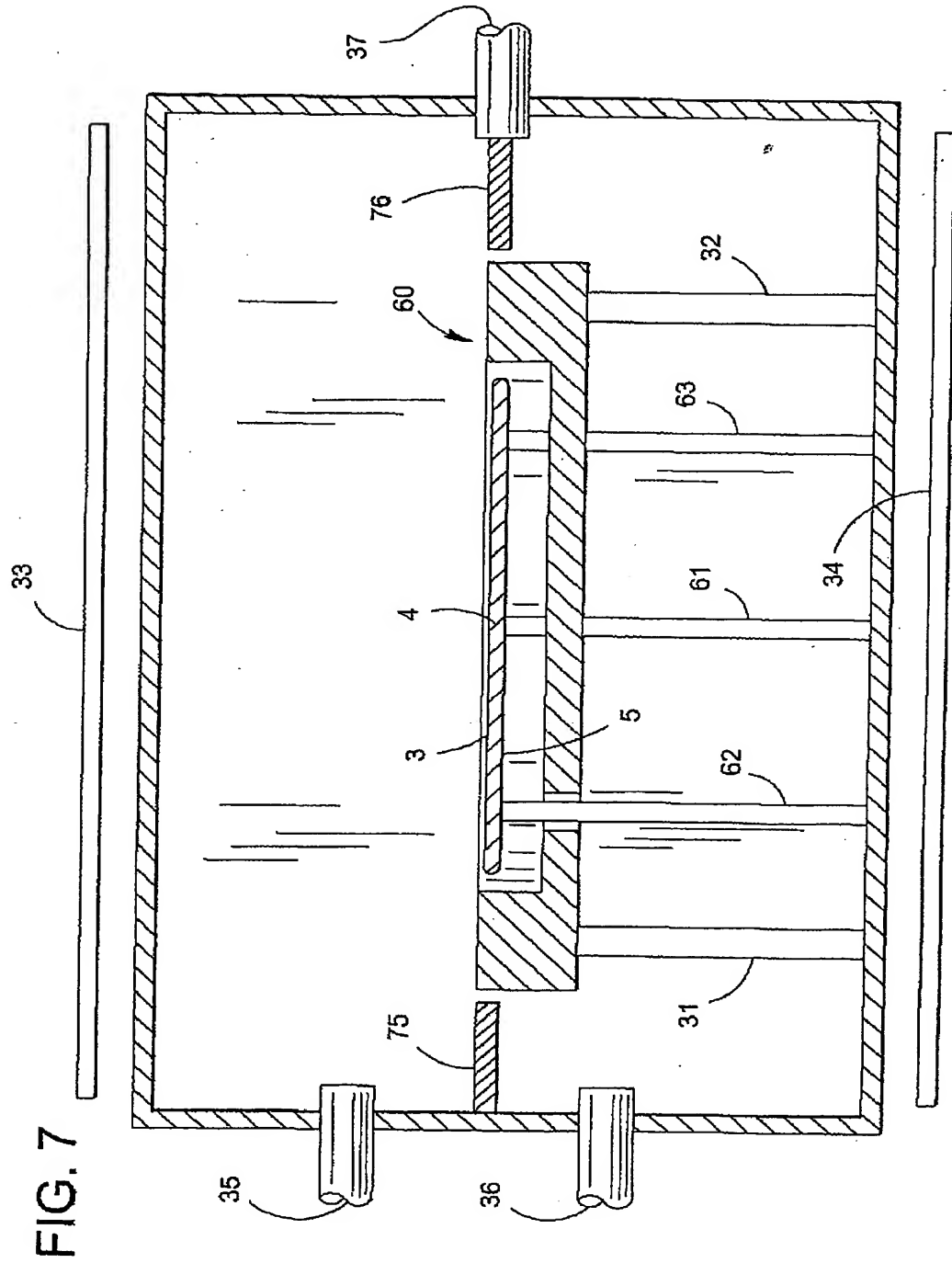
FIG. 5

【図6】

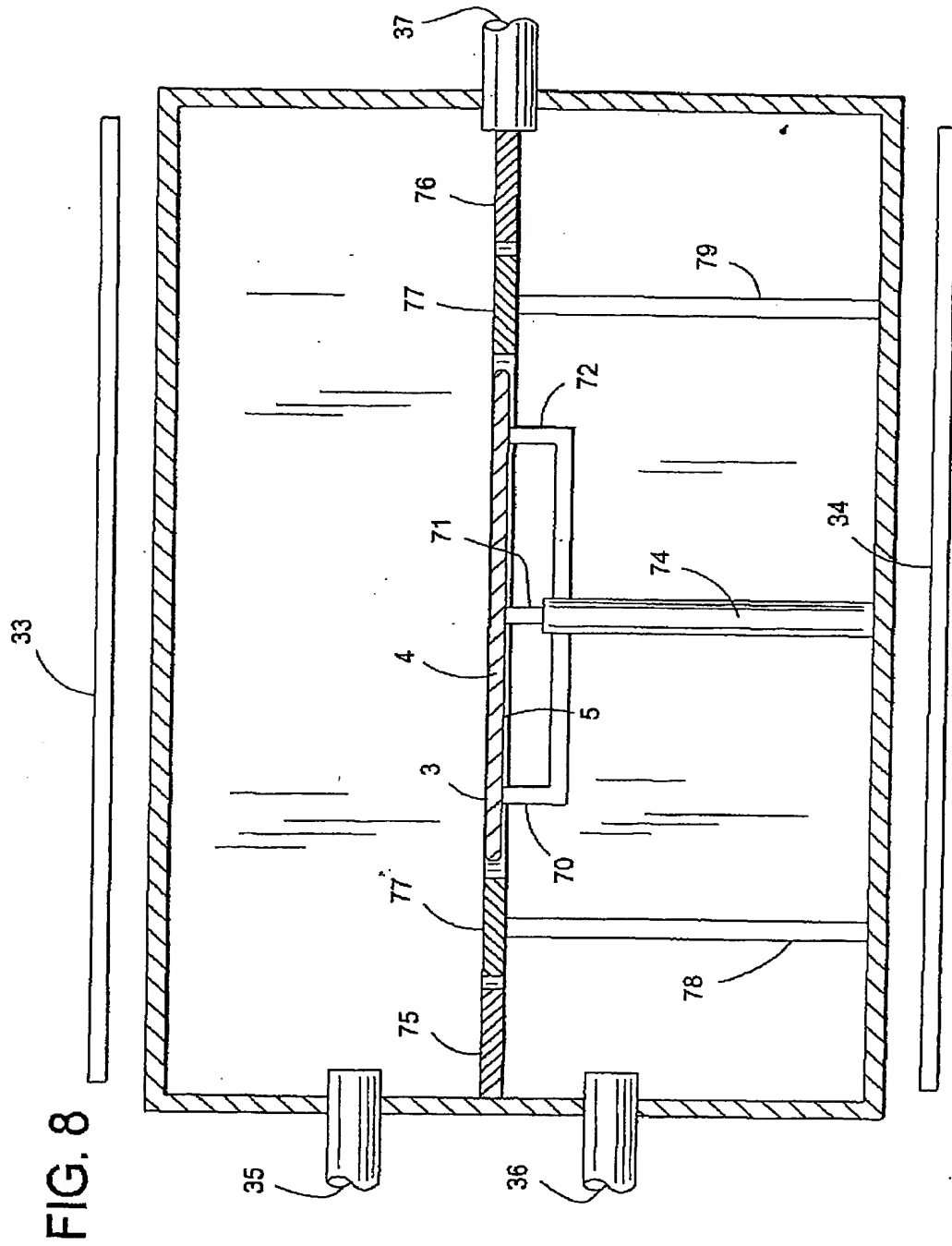
FIG. 6



【図7】



【図8】



【図9】

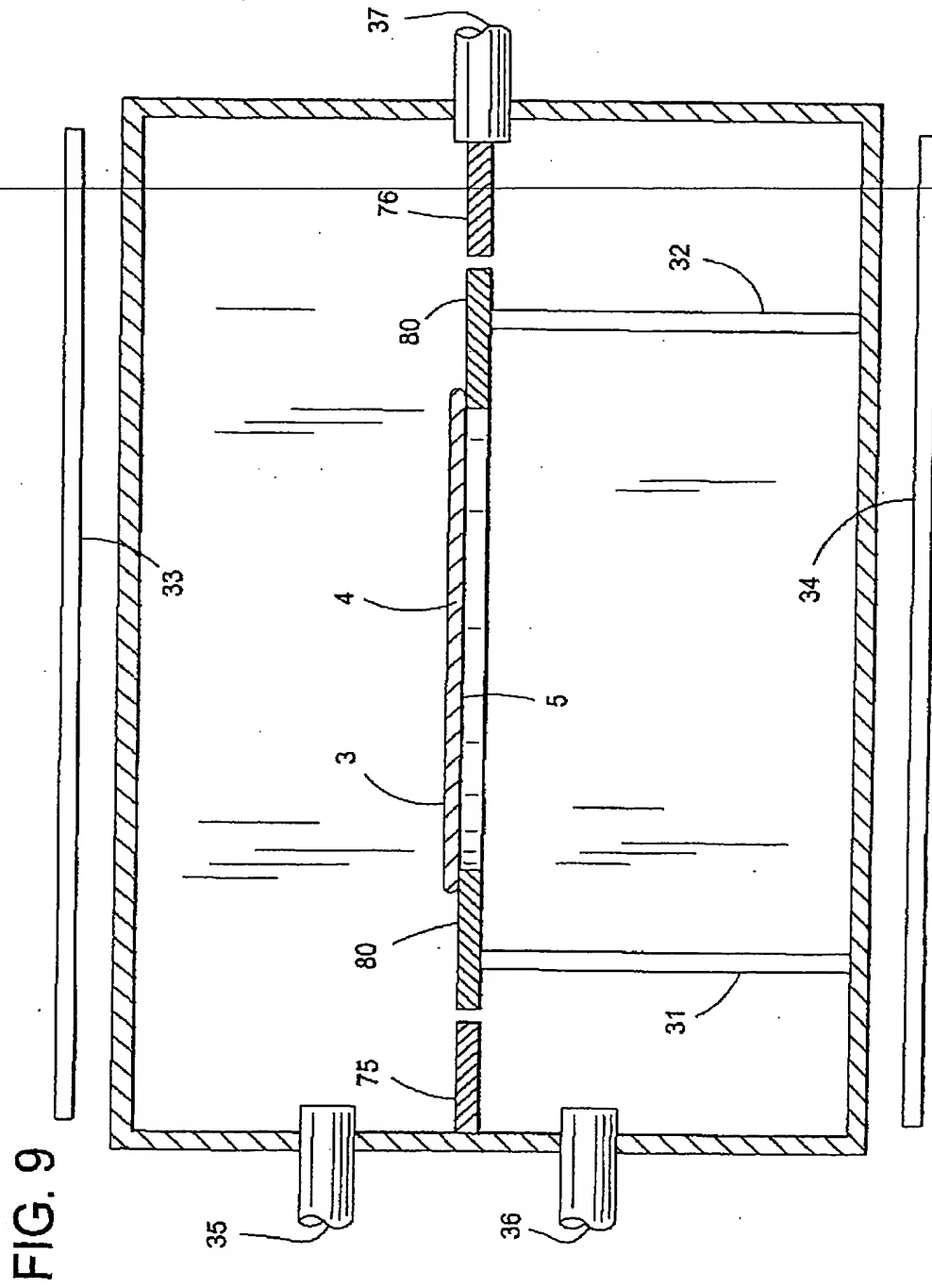
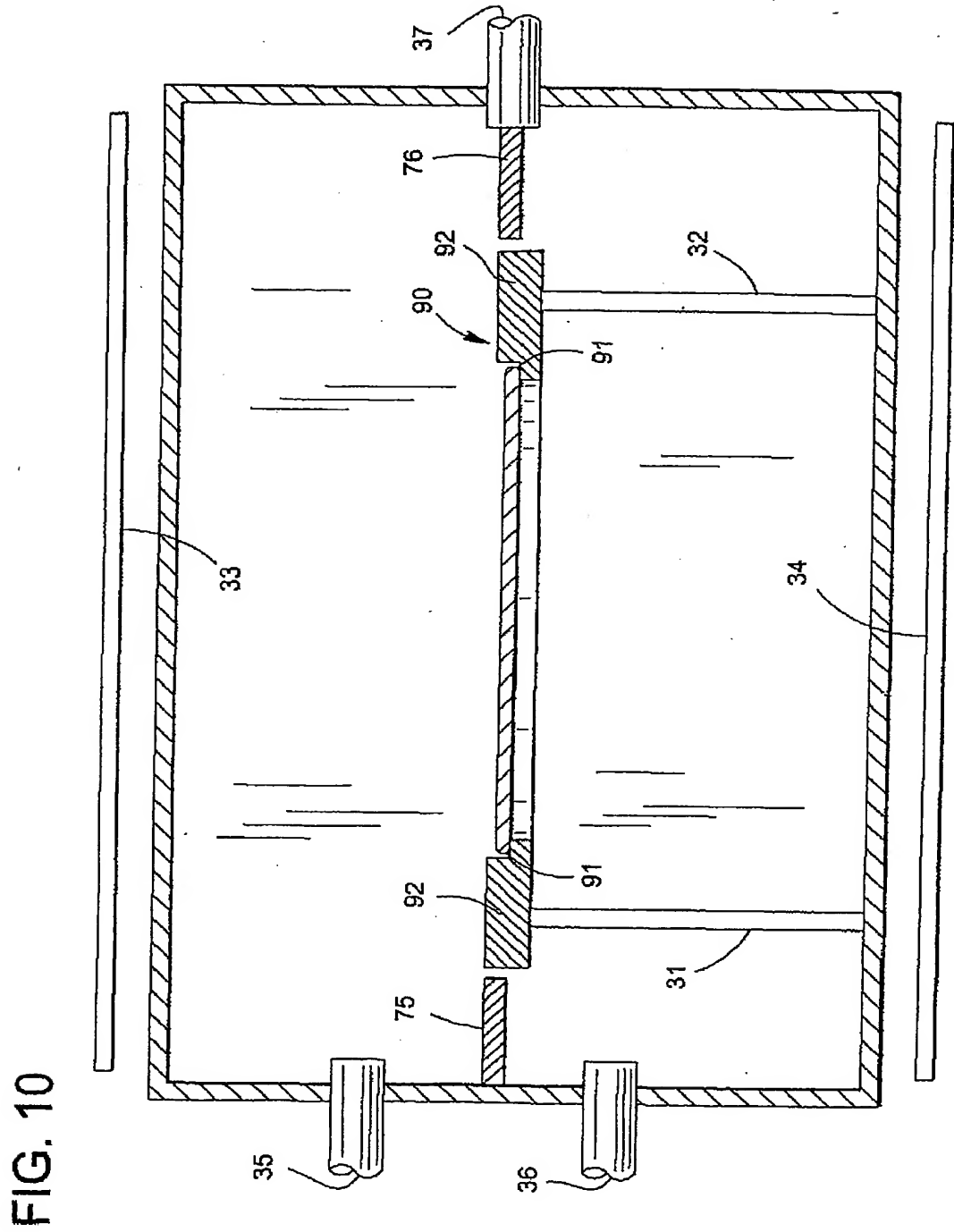


FIG. 9

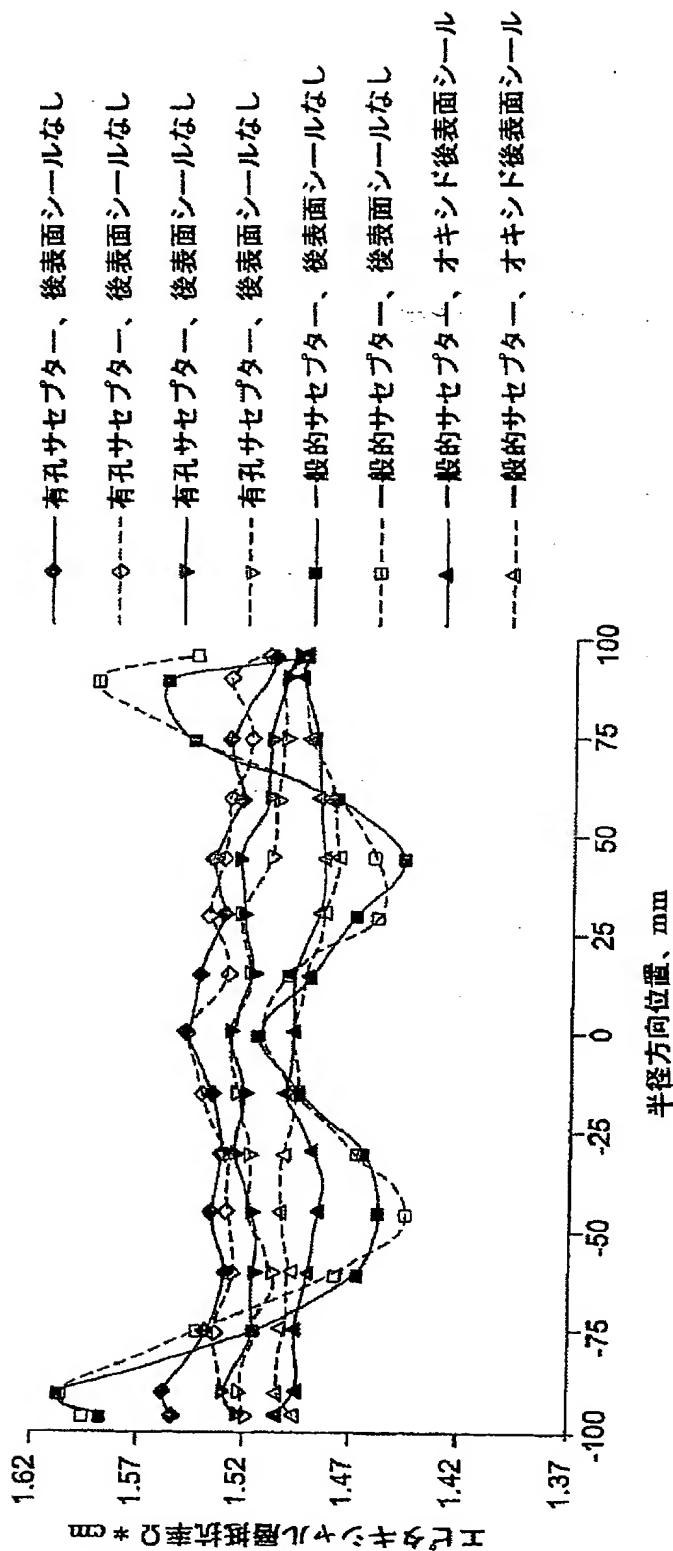
【図10】



【図11】

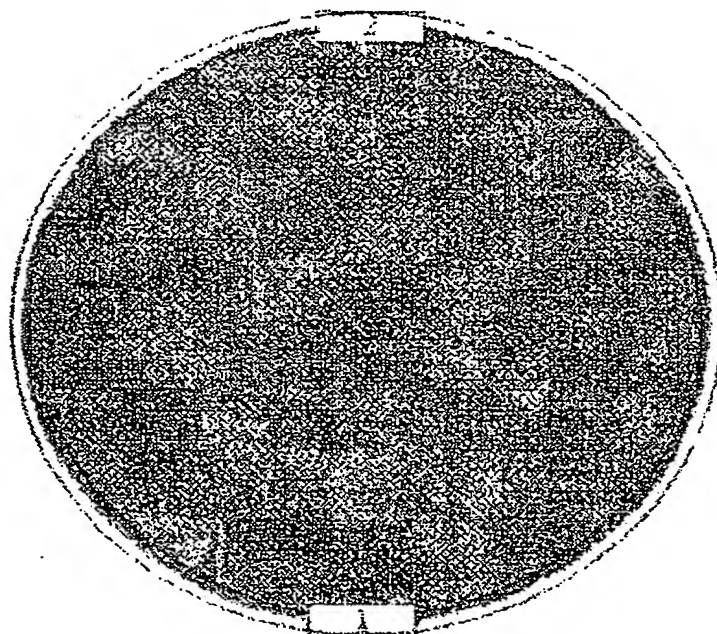
FIG. 11

200mmエピタキシャル層半径方向抵抗率プロファイル
(P/P⁺⁺、5~10mΩcm基材、4mm縁除外)



【図12A】

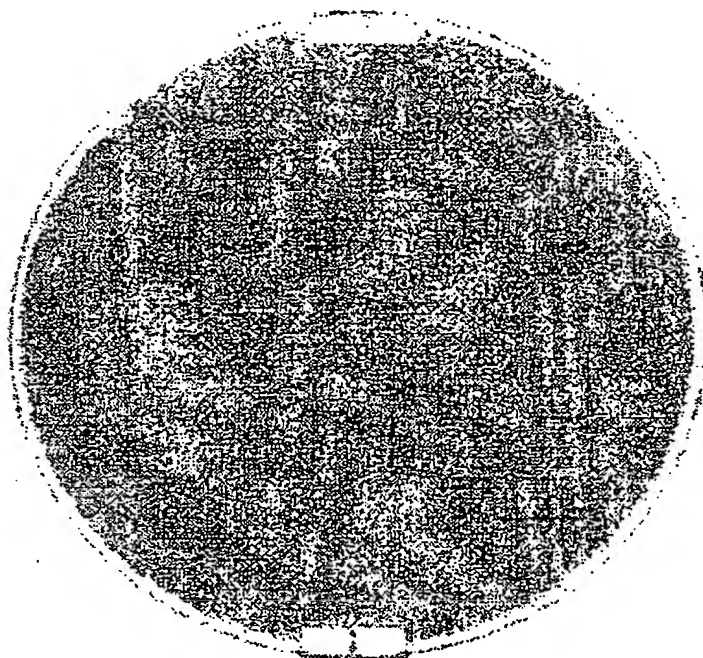
FIG. 12A



曇り (DNN)

【図12B】

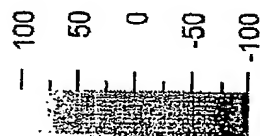
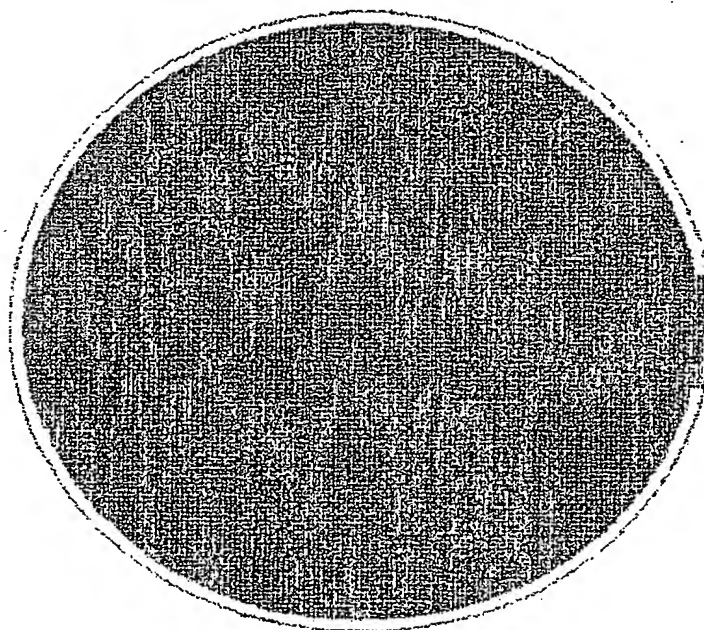
FIG. 12B



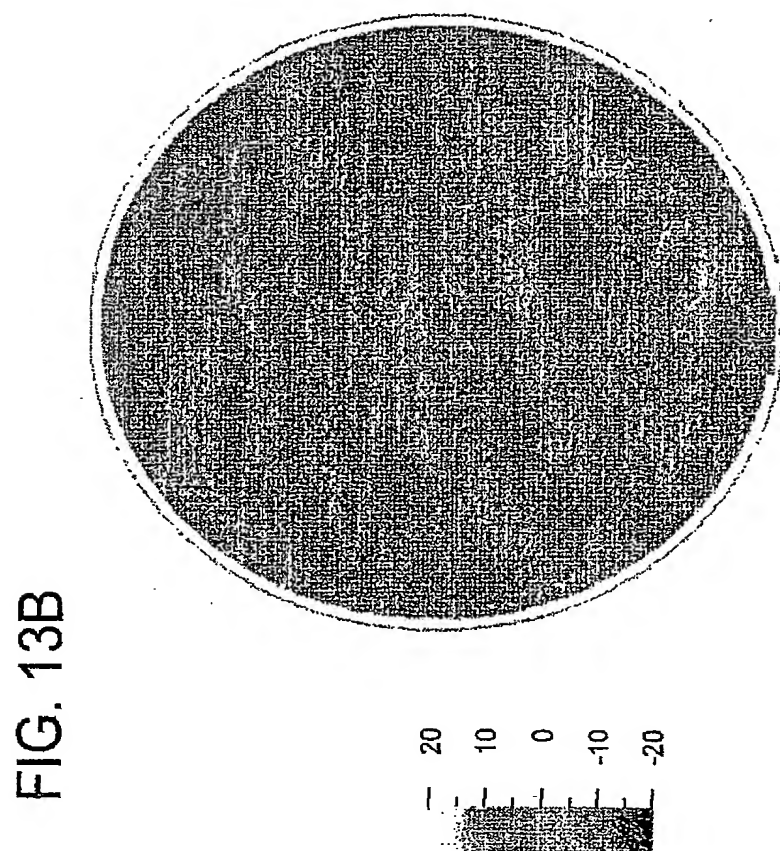
曇り(DNN)

【図13A】

FIG. 13A

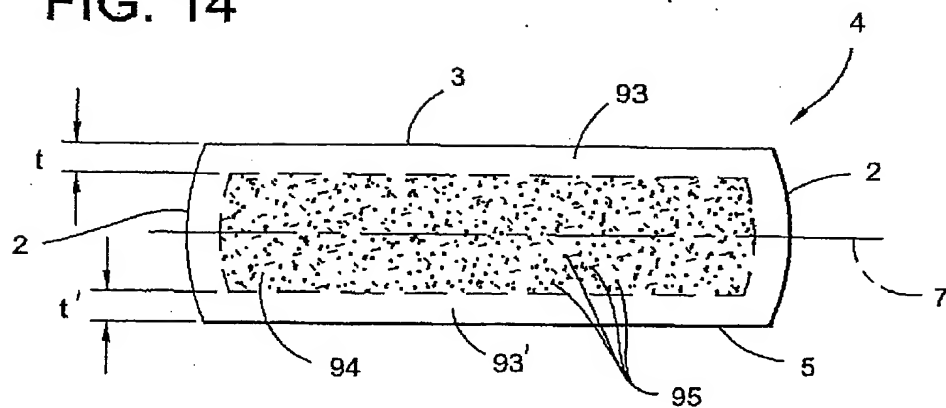


【図13B】



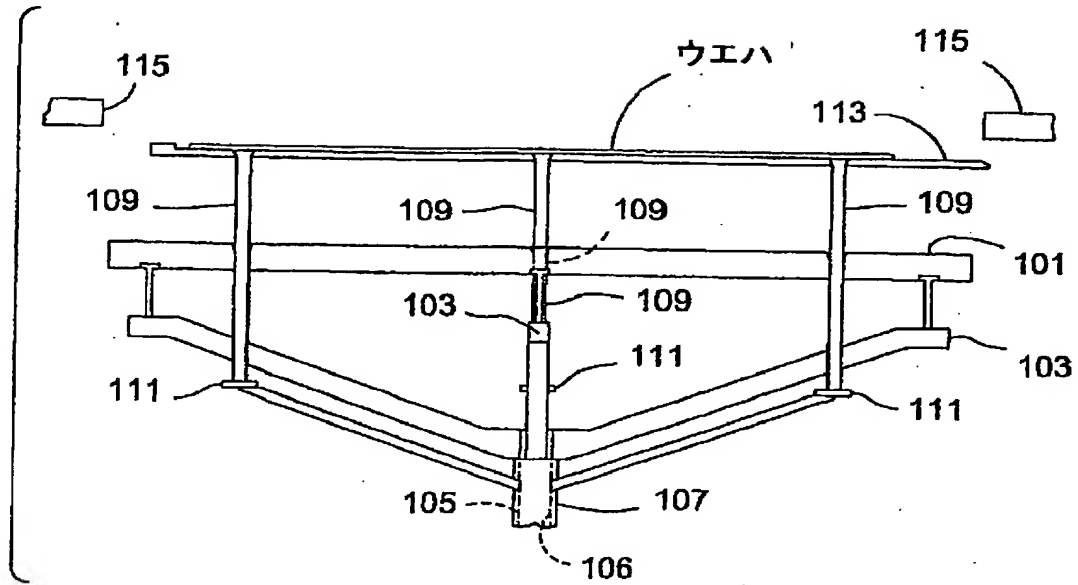
【図14】

FIG. 14



【図15】

FIG. 15



【図16】

FIG. 16

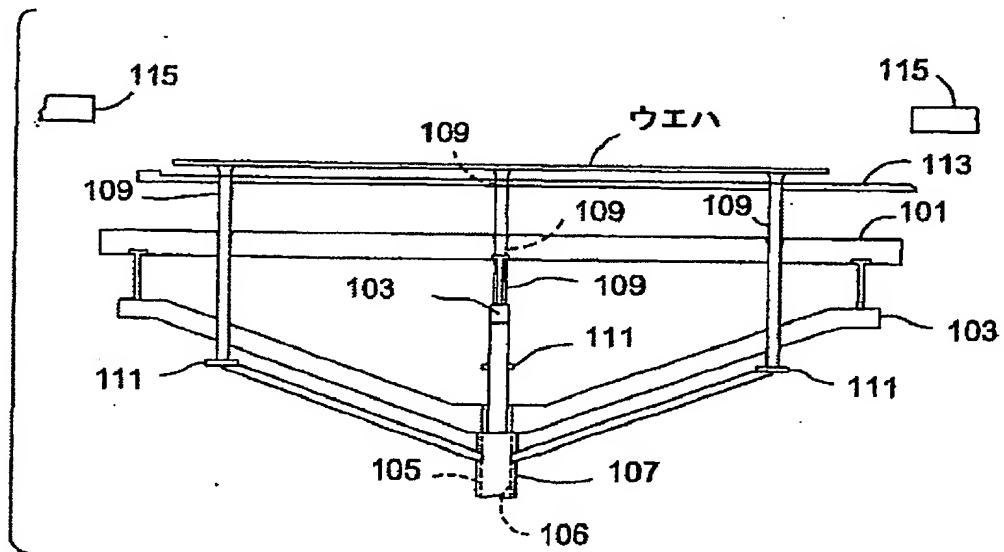
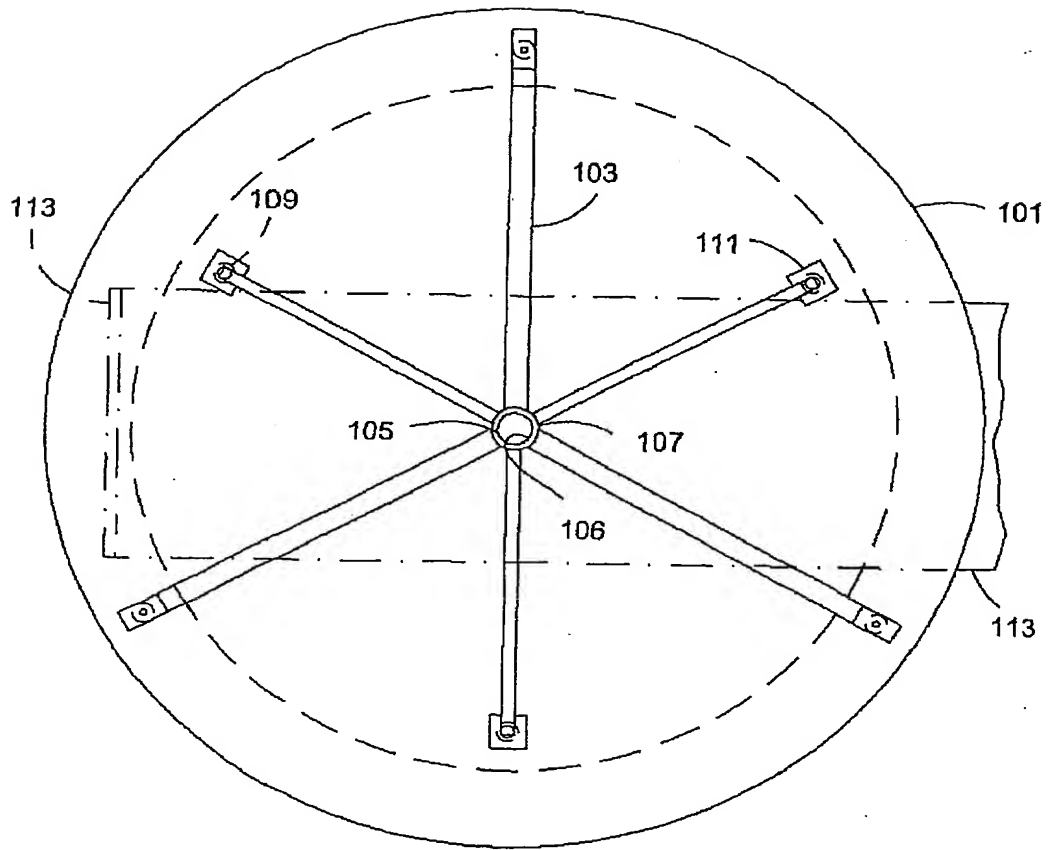


FIG. 17



【図19】

FIG. 19



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.
PC1/US 01/13046

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 C30B25/12 C23C16/455		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 C30B C23C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, L, X	WD 00 34999 A (MEMC ELECTRONIC MATERIALS ; ROSSI JON A (US); YANG CHARLES C (US);) 15 June 2000 (2000-06-15) L : priority page 15, line 16 -page 21, line 27 .	36-54, 68
X A	US 5 679 405 A (BROADBENT ELIOT K ET AL) 21 October 1997 (1997-10-21) column 3, line 27 -column 5, line 3; figure 3	68 55-67, 69-87
X	EP 0 792 954 A (SHINETSU HANDOTAI KK) 3 September 1997 (1997-09-03) column 6, line 45 -column 8, line 32 -/-	36-54
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 10 October 2001		Date of mailing of the international search report 23/10/2001
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2200 HV Rijswijk Tel (+31-70) 340-2040, Tx 31 651 epo nl, Fax (+31-70) 340-8016		Authorized officer Le Meur, M-A

Form P07/ISA/R10 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PC1/US 01/13046

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	GB 2 181 460 A (EPSILON LTD PARTNERSHIP) 23 April 1987 (1987-04-23) page 3, right-hand column, line 84 - line 86 ---	1,36
P,X	EP 1 043 764 A (SHINETSU HANDOTAI KK) 11 October 2000 (2000-10-11) the whole document ---	1,3, 6-17, 29-31
A	EP 0 784 106 A (TOSHIBA CERAMICS CO ;TOSHIBA MACHINE CO LTD (JP)) 16 July 1997 (1997-07-16) cited in the application the whole document ---	1-87
A	EP 0 825 279 A (APPLIED MATERIALS INC) 25 February 1998 (1998-02-25) cited in the application the whole document ---	1-87
A	WO 00 22198 A (MEMC ELECTRONIC MATERIALS) 20 April 2000 (2000-04-20) page 5, line 30 -page 9, line 2; figure 4 ---	32-35

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 01/13046

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
WO 0034999	A	15-06-2000	US	6284384 B1	04-09-2001
			EP	1142010 A2	10-10-2001
			WO	0034999 A2	15-06-2000
US 5679405	A	21-10-1997	US	5133284 A	28-07-1992
			DE	69127865 D1	13-11-1997
			DE	69127865 T2	05-02-1998
			DE	467624 T1	24-09-1992
			EP	0467624 A1	22-01-1992
			JP	6283431 A	07-10-1994
			KR	217351 B1	01-09-1999
			KR	9708323 B1	23-05-1997
EP 0792954	A	03-09-1997	JP	9235188 A	09-09-1997
			EP	0792954 A2	03-09-1997
			US	5849078 A	15-12-1998
GB 2181460	A	23-04-1987	DE	3634130 A1	07-05-1987
			JP	2063247 C	24-06-1996
			JP	7100861 B	01-11-1995
			JP	62089870 A	24-04-1987
			NL	8602357 A	04-05-1987
			US	4798165 A	17-01-1989
EP 1043764	A	11-10-2000	EP	1043764 A1	11-10-2000
			WO	0026949 A1	11-05-2000
EP 0784106	A	16-07-1997	JP	9194296 A	29-07-1997
			DE	69702620 D1	31-08-2000
			DE	69702620 T2	12-04-2001
			EP	0784106 A1	16-07-1997
			KR	251493 B1	01-05-2000
			US	5904769 A	18-05-1999
EP 0825279	A	25-02-1998	US	5884412 A	23-03-1999
			US	5960555 A	05-10-1999
			EP	0825279 A1	25-02-1998
			JP	11003884 A	06-01-1999
WO 0022198	A	20-04-2000	EP	1125008 A1	22-08-2001
			WO	0022198 A1	20-04-2000

フロントページの続き

(72)発明者 チャールズ・チュノーチャー・ヤン
アメリカ合衆国63376ミズーリ州セント・
ピーターズ、アンジー・ドライブ408シー
番

(72)発明者 ロバート・ダブリュー・スタンドリー
アメリカ合衆国63017ミズーリ州チェスタ
ーフィールド、エルドン・リッジ・コート
1716番

F ターム(参考) 4G077 AA02 AA03 BA04 CF10 DB04
DB05 EA02 EB01 HA06 TA04
TB02 TB04 TF02
4K030 AA03 AA06 AA17 BA29 BB02
CA04 FA10 GA02 JA01 JA03
JA06 JA07 JA12 LA15
5F045 AA04 AB02 AC01 AC03 AC05
AD13 AD14 AD15 AE25 AF03
AF16 BB06 DA66 EB15 EE13
EM07 EM09 HA03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.